

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-188466

(P2013-188466A)

(43) 公開日 平成25年9月26日(2013.9.26)

(51) Int.Cl.	F 1	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 2	2 H 0 4 0
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	4 C 1 6 1

審査請求 未請求 請求項の数 20 O L (全 80 頁)

(21) 出願番号	特願2013-20654 (P2013-20654)	(71) 出願人	000000376
(22) 出願日	平成25年2月5日 (2013.2.5)		オリンパス株式会社
(31) 優先権主張番号	特願2012-31948 (P2012-31948)		東京都渋谷区幡ヶ谷2丁目4番2号
(32) 優先日	平成24年2月16日 (2012.2.16)	(74) 代理人	100106909
(33) 優先権主張国	日本国 (JP)		弁理士 棚井 澄雄
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100086379
			弁理士 高柴 忠夫
		(74) 代理人	100129403
			弁理士 増井 裕士
		(74) 代理人	100139686
			弁理士 鈴木 史朗

最終頁に続く

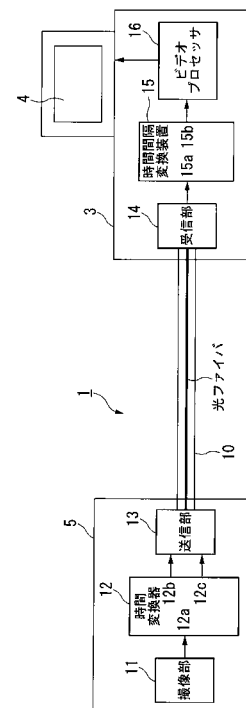
(54) 【発明の名称】 内視鏡システムおよびA/D変換器

(57) 【要約】 (修正有)

【課題】ノイズ耐性の効果を損なうことなく画素信号を伝送することができ、内視鏡スコープの先端部の消費電力を低減することができる内視鏡システムを提供する。

【解決手段】画素の受光量に応じた強度の画素信号を順次出力する撮像部と、画素信号の強度を時間の幅である時間間隔で表した時間情報に変換し、該変換した時間情報を送信する時間変換部12とを具備し、被検物の内部に挿入される挿入部と、時間変換部から送信された時間情報を、被検物の外部に導く伝達部10と、伝達部によって導かれた時間情報を受信し、該受信した時間情報が表す画素信号の強度をデジタル信号に変換して出力する時間間隔変換部15と、時間間隔変換部がデジタル信号に変換した画素信号に応じた画像を出力する画像処理部16とを具備し、被検物の外部に位置する外部装置と、を備える。

【選択図】図2



【特許請求の範囲】

【請求項 1】

画素の受光量に応じた強度の画素信号を順次出力する撮像部と、前記画素信号の強度を時間の幅である時間間隔で表した時間情報に変換し、該変換した前記時間情報を送信する時間変換部とを具備し、被検物の内部に挿入される挿入部と、

前記時間変換部から送信された前記時間情報を、前記被検物の外部に導く伝達部と、

前記伝達部によって導かれた前記時間情報を受信し、該受信した前記時間情報が表す前記画素信号の強度をデジタル信号に変換して出力する時間間隔変換部と、前記時間間隔変換部が前記デジタル信号に変換した前記画素信号に応じた画像を出力する画像処理部とを具備し、前記被検物の外部に位置する外部装置と、

を備えることを特徴とする内視鏡システム。

10

【請求項 2】

前記挿入部は、

前記撮像部から出力される前記画素信号をサンプルホールドし、該サンプルホールドした前記画素信号を出力する複数のサンプルホールド回路、

をさらに備え、

前記時間変換部は、

複数の前記サンプルホールド回路のそれぞれに対応した複数の時間変換部からなり、

複数の前記サンプルホールド回路のそれぞれは、

前記撮像部から順次出力される前記画素信号のサンプルホールドを順番に繰り返し、

複数の前記時間変換部のそれぞれは、

対応する前記サンプルホールド回路がサンプルホールドした前記画素信号の強度を、それぞれ前記時間情報に変換して送信し、

20

前記時間間隔変換部は、

複数の前記時間変換部のそれぞれに対応した複数の時間間隔変換部からなり、

複数の前記時間間隔変換部のそれぞれは、

複数の前記時間変換部のそれぞれに対応する前記伝達部によって導かれた、対応する前記時間情報からの前記画素信号の強度を、それぞれ前記デジタル信号に変換し、

前記画像処理部は、

複数の前記時間間隔変換部のそれぞれが前記デジタル信号に変換した前記画素信号に基づいた前記画像を出力する、

30

ことを特徴とする請求項 1 に記載の内視鏡システム。

【請求項 3】

前記時間変換部は、

1 つの前記画素信号の強度を、異なる時間間隔で表した複数の前記時間情報に変換し送信し、

前記時間間隔変換部は、

前記伝達部によって導かれたそれぞれの前記時間情報が表す 1 つの前記画素信号の複数の時間間隔を、それぞれ前記デジタル信号に変換する時間間隔変換部からなり、

複数の前記時間間隔の内、前記時間間隔変換部が予め定めた信号処理期間内に変換を完了した時間間隔に係る変換したデジタル信号の一つを選択して出力する選択装置、

40

をさらに備える、

ことを特徴とする請求項 1 に記載の内視鏡システム。

【請求項 4】

前記選択装置は、

予め定めた前記信号処理期間内に変換を完了した前記時間間隔の内、最長の時間間隔に係る変換したデジタル信号を選択する、

ことを特徴とする請求項 3 に記載の内視鏡システム。

【請求項 5】

前記時間変換部は、

50

入力された信号を、前記画素信号の強度に応じた時間で反転させて出力する反転回路、
を具備し、

入力された前記信号が、前記反転回路によって予め定めた回数だけ反転された時間に基づいて、前記画素信号の強度を時間間隔で表す、

ことを特徴とする請求項 1 から請求項 4 のいずれか 1 の項に記載の内視鏡システム。

【請求項 6】

前記画像処理部は、

予め定めた一定の信号を、前記時間間隔変換部が変換した前記デジタル信号で除算する、

ことを特徴とする請求項 5 に記載の内視鏡システム。

10

【請求項 7】

前記時間変換部は、

前記時間情報に含まれる前記時間間隔が開始されるタイミングと、該時間間隔が終了されるタイミングとを光信号に変換する光送信部、

を備え、

前記伝達部は、

前記時間変換部が送信する光信号を伝送する光導波路、

を備え、

前記時間間隔変換部は、

前記伝達部によって伝送された光信号を電気信号に変換する光電変換部、

を備える、

ことを特徴とする請求項 6 に記載の内視鏡システム。

20

【請求項 8】

前記時間間隔変換部は、

受信した前記時間情報に含まれる前記時間間隔が開始されるタイミングと、該時間間隔が終了されるタイミングとを検出し、該検出した前記時間間隔が開始されるタイミングを表す開始信号と、該検出した前記時間間隔が終了されるタイミングを表す終了信号とを出力するタイミング検出部と、

遅延回路とオシレータとを具備し、位相が異なる複数のクロックを出力するクロック出力部と、

30

前記クロック出力部の出力したクロックが一方の状態から他方の状態に変化したときのエッジをカウントし、該カウントした前記エッジのカウント数を出力する複数のカウンタ部と、

複数の前記カウンタ部のそれぞれから出力された前記カウント数を加算し、該加算した合計の前記カウント数を前記デジタル信号として出力する加算回路と、

を備え、

前記クロック出力部は、

前記時間間隔が開始されるタイミングを表す開始信号が入力されたときから、位相が異なる複数のクロックの出力を開始し、

複数の前記カウンタ部のそれぞれは、

40

位相が異なる複数の前記クロックのそれぞれに対応し、前記時間間隔が終了されるタイミングを表す終了信号が入力されるまで、対応する前記クロックの前記エッジをカウントし、該カウントした前記カウント数をそれぞれ出力する、

ことを特徴とする請求項 7 に記載の内視鏡システム。

【請求項 9】

前記オシレータは、

入力されたパラメータに応じて、出力するクロックの周波数を変更することができ、

前記時間間隔変換部は、

前記オシレータが出力するクロックの周波数を制御するパラメータを出力するパラメータ調節部、

50

をさらに備え、

前記パラメータ調節部は、

前記パラメータを調節することによって、前記オシレータが出力するクロックの周波数を調節して、前記クロック出力部が出力するクロックのエッジのタイミングを調節する、ことを特徴とする請求項 8 に記載の内視鏡システム。

【請求項 10】

前記パラメータ調節部は、

入力された信号を遅延させて出力する直列に接続された複数の第 2 の遅延回路と、

複数の前記第 2 の遅延回路の内、異なる 2 つの前記第 2 の遅延回路のそれぞれに対応し、対応する前記第 2 の遅延回路から、遅延された当該パラメータ調節部の動作の開始を表す動作開始信号が入力されたときから、入力されたパラメータに応じた周波数のクロックを出力する 2 つの第 2 のオシレータと、

2 つの前記第 2 のオシレータのそれぞれが出力するクロックのエッジのタイミングを比較し、該比較したエッジのタイミングの差の時間を表す位相比較情報を出力する位相比較回路と、

前記位相比較情報に基づいて、比較している 2 つの前記第 2 のオシレータが出力するそれぞれのクロックのエッジのタイミングを一致させるように制御するための、前記第 2 のオシレータが出力するクロックの周波数を制御するパラメータを演算し、該演算したパラメータを、前記オシレータおよび前記第 2 のオシレータが出力するクロックの周波数を制御するパラメータとして出力するパラメータ設定回路と、

を備える、

ことを特徴とする請求項 9 に記載の内視鏡システム。

【請求項 11】

前記遅延回路は、

入力されたパラメータに応じて、入力された信号を遅延させる遅延時間を変更することができ、

前記時間間隔変換部は、

前記遅延回路が入力された信号を遅延させて出力する際の遅延時間を制御するパラメータを出力するパラメータ調節部、

をさらに備え、

前記パラメータ調節部は、

前記パラメータを調節することによって、前記遅延回路が入力された信号を遅延させて出力する際の遅延時間を調節して、前記オシレータがクロックの出力を開始するタイミングまたは前記オシレータが出力したクロックのタイミングを調整し、前記クロック出力部が出力するクロックのエッジのタイミングを調節する、

ことを特徴とする請求項 8 に記載の内視鏡システム。

【請求項 12】

前記パラメータ調節部は、

入力されたパラメータに応じた遅延時間で、入力された信号を遅延させて出力する直列に接続された複数の第 2 の遅延回路と、

複数の前記第 2 の遅延回路の内、異なる 2 つの前記第 2 の遅延回路のそれぞれに対応し、対応する前記第 2 の遅延回路から、遅延された当該パラメータ調節部の動作の開始を表す動作開始信号が入力されたときから、同じ周波数のクロックを出力する 2 つの第 2 のオシレータと、

2 つの前記第 2 のオシレータのそれぞれが出力するクロックのエッジのタイミングを比較し、該比較したエッジのタイミングの差の時間を表す位相比較情報を出力する位相比較回路と、

前記位相比較情報に基づいて、比較している 2 つの前記第 2 のオシレータが出力するそれぞれのクロックのエッジのタイミングを一致させるように制御するための、前記第 2 の遅延回路の遅延時間を制御するパラメータを演算し、該演算したパラメータを、前記遅延

10

20

30

40

50

回路および前記第 2 の遅延回路の遅延時間を制御するパラメータとして出力するパラメータ設定回路と、

を備える、

ことを特徴とする請求項 1 1 に記載の内視鏡システム。

【請求項 1 3】

直列に接続された複数の前記第 2 の遅延回路は、

複数の遅延要素をリング状に接続して構成されるリング発振器における前記遅延要素の一部を構成する、

ことを特徴とする請求項 1 0 または請求項 1 2 に記載の内視鏡システム。

【請求項 1 4】

前記遅延回路および前記第 2 の遅延回路は、

閾値電圧をずらした 2 つのインバータ（論理否定）回路を直列に接続したバッファ回路である、

ことを特徴とする請求項 1 3 に記載の内視鏡システム。

【請求項 1 5】

前段の前記インバータ回路の閾値電圧を、後段の前記インバータ回路の閾値電圧より低く設定して、前記バッファ回路を構成する場合には、

後段の前記インバータ回路の電源電圧を、前段の前記インバータ回路の電源電圧より低く設定し、

前段の前記インバータ回路の閾値電圧を、後段の前記インバータ回路の閾値電圧より高く設定して、前記バッファ回路を構成する場合には、

前段の前記インバータ回路の電源電圧を、後段の前記インバータ回路の電源電圧より高く設定する、

ことを特徴とする請求項 1 4 に記載の内視鏡システム。

【請求項 1 6】

入力されたアナログ入力信号の大きさを時間の幅である時間間隔で表した時間情報に変換して出力する電圧時間変換部を具備し、該電圧時間変換部が出力した前記時間情報を送信する送信部と、

前記送信部から送信された前記時間情報を、前記送信部から離れた位置に導く伝達部と、

前記伝達部によって導かれた前記時間情報を受信し、該受信した前記時間情報が表す前記アナログ入力信号の大きさをデジタル信号に変換して出力する時間デジタル変換部を具備し、該時間デジタル変換部が出力したデジタル信号を出力する受信部と、

前記受信部が出力した前記デジタル信号に対して予め定めた信号処理を行い、該信号処理を行ったデジタル信号を最終的なデジタル信号として出力する信号処理部と、

を備え、

前記電圧時間変換部は、

前記アナログ入力信号を V_{in} とし、該アナログ入力信号を変換した前記時間情報を D としたとき、該アナログ入力信号 V_{in} と該時間情報 D との関係が、

$$D = b / (V_{in} - a)$$

（ a は任意の実数、 b は 0 を除いた任意の実数）

で表される 1 次の分数関数の関係になるように前記アナログ入力信号を前記時間情報に変換し、

前記信号処理部は、

0 を除く任意のデジタル信号を、前記受信部が出力した前記デジタル信号で除算する前記信号処理を行って一次関数の関係を有するデジタル信号を生成し、該生成したデジタル信号を前記最終的なデジタル信号として出力する、

ことを特徴とする A / D 変換器。

【請求項 1 7】

前記電圧時間変換部は、

10

20

30

40

50

1つの前記アナログ入力信号の大きさを、異なる時間間隔で表した複数の前記時間情報に変換し、

前記送信部は、

前記電圧時間変換部が変換した複数の前記時間情報を送信し、

前記時間デジタル変換部は、

前記伝達部によって導かれたそれぞれの前記時間情報が表す1つの前記アナログ入力信号の複数の時間間隔を、それぞれ前記デジタル信号に変換する時間デジタル変換部からなり、

前記受信部は、

複数の前記時間情報の内、前記時間デジタル変換部が予め定めた信号処理期間内に変換を完了した前記時間情報に係る変換したデジタル信号の一つを選択して出力する、

ことを特徴とする請求項16に記載のA/D変換器。

【請求項18】

前記受信部は、

予め定めた前記信号処理期間内に変換を完了した前記時間情報の内、最長の時間間隔を表した前記時間情報に係る変換したデジタル信号を選択する、

ことを特徴とする請求項17に記載のA/D変換器。

【請求項19】

前記電圧時間変換部は、

入力された信号を、前記アナログ入力信号の大きさに応じた時間で反転させて出力する反転回路、

を具備し、

入力された前記信号が、前記反転回路によって予め定めた回数だけ反転された時間に基づいて、前記アナログ入力信号の大きさを時間間隔で表す、

ことを特徴とする請求項16から請求項18のいずれか1の項に記載のA/D変換器。

【請求項20】

前記伝達部は、

前記送信部が送信する光信号を伝送する光導波路、

を備え、

前記送信部は、

電気信号である前記時間情報を光信号に変換して送信し、

前記受信部は、

前記伝達部によって伝送された光信号を受信し、該受信した光信号を再び電気信号である前記時間情報に変換する、

ことを特徴とする請求項16から請求項19のいずれか1の項に記載のA/D変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、被検物内に挿入して使用する内視鏡システム、より詳しくは、被検物内を撮影した映像を電気信号に変換して被検物外に伝送し、モニタに表示させることによって被検物内を観察する内視鏡システム、およびアナログ信号を時間幅である時間情報に変換し、この時間情報をデジタル信号に変換する方式のA/D変換器に関する。

【背景技術】

【0002】

従来の内視鏡システムでは、内視鏡スコープの先端部に備えた撮像素子からの画素信号を、アナログ信号のまま、内視鏡システムの本体部に備えたビデオプロセッサに伝送する方式が、一般的に採用されている。ここで、一般的な内視鏡スコープは、その全長が数メートルに及ぶ。このため、ビデオプロセッサに伝送するアナログの画素信号は、伝送中に外部からのノイズの影響を受けてS/N比(Signal-to-Noise ratio)が悪くなることがある。S/N比が悪くなると、内視鏡システムで表示する画像の画

10

20

30

40

50

質が劣化してしまうことになる。特に、内視鏡システムを医療現場などで使用する場合には、電気メスなどの装置が動作することによって、通常的环境には存在しないレベルのノイズが飛び交う状況にあり、ノイズの影響は極めて大きい。

【0003】

この問題を解決するため、特許文献1に開示されたような、画素信号を伝送する技術が提案されている。特許文献1に開示された技術では、撮像素子からの画素信号を内視鏡スコープの先端部でA/D(アナログ/デジタル)変換し、A/D変換した後の画素信号を、デジタル信号で内視鏡スコープ内を伝送している。デジタル信号に変換した画素信号は、ノイズの影響を受けた場合でも、信号の“H”レベルおよび“L”レベルのみを認識することができれば映像が乱れることがないため、ノイズ耐性の向上を図ることができる。

10

【0004】

しかしながら、近年では、撮像素子の高精細化の流れから、画素信号のデータ量が増大する傾向にあり、デジタル化した画素信号を転送する際の伝送レート的高速化が求められている。このため、デジタル信号に変換した画素信号には、その振幅をより低く設定する必要が生じ、画素信号をデジタル化したとしても、従来のようなノイズ耐性の効果を得ることが難しくなっている。

【0005】

そこで、特許文献2に開示されたような、画素信号の伝送技術が提案されている。特許文献2に開示された技術では、A/D変換した後の画素信号を、内視鏡スコープの先端部でさらに光信号に変換(E/O変換, Electrical/Optical変換, 電気/光変換)し、E/O変換後の画素信号を、光ファイバによって伝送している。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開昭61-121590号公報

【特許文献2】特開2007-260066号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、内視鏡システムでは、内視鏡スコープの先端部を被検物内に挿入する。このとき、内視鏡スコープの先端部の消費電力が大きいと発熱が大きくなり、被検物を傷めてしまう可能性がある。このため、内視鏡システムにおいては、内視鏡スコープ先端部の消費電力を抑え、発熱を少なくすることが重要である。

30

【0008】

ここで、特許文献1や特許文献2に開示されたような、先端部でアナログの画素信号をA/D変換する手法の内視鏡スコープは、内視鏡スコープの先端部に備えたA/D変換部で多大な電力を消費する。このため、特許文献1や特許文献2に開示された内視鏡システムでは、内視鏡スコープの先端部の発熱が大きくなってしまう。

【0009】

また、内視鏡スコープは、細いコードで画素信号を伝送させるため、A/D変換して得られた多くのチャンネルの信号を、少ないチャンネルの信号に変換(シリアル化)するなどの方法によって、コード内の信号線の数減らす必要がある。このシリアル化に係る信号処理においても大きな電力を消費し、発熱が大きくなってしまう。

40

【0010】

このように、従来の内視鏡システムにおいては、内視鏡スコープの先端部の消費電力を大きくする要因が多く存在する。すなわち、内視鏡スコープの先端部の発熱を大きくする要因が多く存在している。

【0011】

本発明は、上記の課題認識に基づいてなされたものであり、ノイズ耐性の効果を損なうことなく画素信号を伝送することができ、内視鏡スコープの先端部の消費電力を低減する

50

ことができる内視鏡システムを提供することを目的としている。

【課題を解決するための手段】

【0012】

上記の課題を解決するため、本発明の内視鏡システムは、画素の受光量に応じた強度の画素信号を順次出力する撮像部と、前記画素信号の強度を時間の幅である時間間隔で表した時間情報に変換し、該変換した前記時間情報を送信する時間変換部とを具備し、被検物の内部に挿入される挿入部と、前記時間変換部から送信された前記時間情報を、前記被検物の外部に導く伝達部と、前記伝達部によって導かれた前記時間情報を受信し、該受信した前記時間情報が表す前記画素信号の強度をデジタル信号に変換して出力する時間間隔変換部と、前記時間間隔変換部が前記デジタル信号に変換した前記画素信号に応じた画像を出力する画像処理部とを具備し、前記被検物の外部に位置する外部装置と、を備えることを特徴とする。

10

【0013】

また、本発明の内視鏡システムにおいて、前記挿入部は、前記撮像部から出力される前記画素信号をサンプルホールドし、該サンプルホールドした前記画素信号を出力する複数のサンプルホールド回路、をさらに備え、前記時間変換部は、複数の前記サンプルホールド回路のそれぞれに対応した複数の時間変換部からなり、複数の前記サンプルホールド回路のそれぞれは、前記撮像部から順次出力される前記画素信号のサンプルホールドを順番に繰り返し、複数の前記時間変換部のそれぞれは、対応する前記サンプルホールド回路がサンプルホールドした前記画素信号の強度を、それぞれ前記時間情報に変換して送信し、前記時間間隔変換部は、複数の前記時間変換部のそれぞれに対応した複数の時間間隔変換部からなり、複数の前記時間間隔変換部のそれぞれは、複数の前記時間変換部のそれぞれに対応する前記伝達部によって導かれた、対応する前記時間情報からの前記画素信号の強度を、それぞれ前記デジタル信号に変換し、前記画像処理部は、複数の前記時間間隔変換部のそれぞれが前記デジタル信号に変換した前記画素信号に基づいた前記画像を出力する、ことを特徴とする。

20

【0014】

また、本発明の内視鏡システムにおいて、前記時間変換部は、1つの前記画素信号の強度を、異なる時間間隔で表した複数の前記時間情報に変換して送信し、前記時間間隔変換部は、前記伝達部によって導かれたそれぞれの前記時間情報が表す1つの前記画素信号の複数の時間間隔を、それぞれ前記デジタル信号に変換する時間間隔変換部からなり、複数の前記時間間隔の内、前記時間間隔変換部が予め定めた信号処理期間内に変換を完了した時間間隔に係る変換したデジタル信号の一つを選択して出力する選択装置、をさらに備える、ことを特徴とする。

30

【0015】

また、本発明の内視鏡システムにおいて、前記選択装置は、予め定めた前記信号処理期間内に変換を完了した前記時間間隔の内、最長の時間間隔に係る変換したデジタル信号を選択する、ことを特徴とする。

【0016】

また、本発明の内視鏡システムにおいて、前記時間変換部は、入力された信号を、前記画素信号の強度に応じた時間で反転させて出力する反転回路、を具備し、入力された前記信号が、前記反転回路によって予め定めた回数だけ反転された時間に基づいて、前記画素信号の強度を時間間隔で表す、ことを特徴とする。

40

【0017】

また、本発明の内視鏡システムにおいて、前記画像処理部は、予め定めた一定の信号を、前記時間間隔変換部が変換した前記デジタル信号で除算する、ことを特徴とする。

【0018】

また、本発明の内視鏡システムにおいて、前記時間変換部は、前記時間情報に含まれる前記時間間隔が開始されるタイミングと、該時間間隔が終了されるタイミングとを光信号に変換する光送信部、を備え、前記伝達部は、前記時間変換部が送信する光信号を伝送す

50

る光導波路、を備え、前記時間間隔変換部は、前記伝達部によって伝送された光信号を電気信号に変換する光電変換部、を備える、ことを特徴とする。

【0019】

また、本発明の内視鏡システムにおいて、前記時間間隔変換部は、受信した前記時間情報に含まれる前記時間間隔が開始されるタイミングと、該時間間隔が終了されるタイミングとを検出し、該検出した前記時間間隔が開始されるタイミングを表す開始信号と、該検出した前記時間間隔が終了されるタイミングを表す終了信号とを出力するタイミング検出部と、遅延回路とオシレータとを具備し、位相が異なる複数のクロックを出力するクロック出力部と、前記クロック出力部の出力したクロックが一方の状態から他方の状態に変化したときのエッジをカウントし、該カウントした前記エッジのカウント数を出力する複数のカウンタ部と、複数の前記カウンタ部のそれぞれから出力された前記カウント数を加算し、該加算した合計の前記カウント数を前記デジタル信号として出力する加算回路と、を備え、前記クロック出力部は、前記時間間隔が開始されるタイミングを表す開始信号が入力されたときから、位相が異なる複数のクロックの出力を開始し、複数の前記カウンタ部のそれぞれは、位相が異なる複数の前記クロックのそれぞれに対応し、前記時間間隔が終了されるタイミングを表す終了信号が入力されるまで、対応する前記クロックの前記エッジをカウントし、該カウントした前記カウント数をそれぞれ出力する、ことを特徴とする。

10

【0020】

また、本発明の内視鏡システムにおいて、前記オシレータは、入力されたパラメータに応じて、出力するクロックの周波数を変更することができ、前記時間間隔変換部は、前記オシレータが出力するクロックの周波数を制御するパラメータを出力するパラメータ調節部、をさらに備え、前記パラメータ調節部は、前記パラメータを調節することによって、前記オシレータが出力するクロックの周波数を調節して、前記クロック出力部が出力するクロックのエッジのタイミングを調節する、ことを特徴とする。

20

【0021】

また、本発明の内視鏡システムにおいて、前記パラメータ調節部は、入力された信号を遅延させて出力する直列に接続された複数の第2の遅延回路と、複数の前記第2の遅延回路の内、異なる2つの前記第2の遅延回路のそれぞれに対応し、対応する前記第2の遅延回路から、遅延された当該パラメータ調節部の動作の開始を表す動作開始信号が入力されたときから、入力されたパラメータに応じた周波数のクロックを出力する2つの第2のオシレータと、2つの前記第2のオシレータのそれぞれが出力するクロックのエッジのタイミングを比較し、該比較したエッジのタイミングの差の時間を表す位相比較情報を出力する位相比較回路と、前記位相比較情報に基づいて、比較している2つの前記第2のオシレータが出力するそれぞれのクロックのエッジのタイミングを一致させるように制御するための、前記第2のオシレータが出力するクロックの周波数を制御するパラメータを演算し、該演算したパラメータを、前記オシレータおよび前記第2のオシレータが出力するクロックの周波数を制御するパラメータとして出力するパラメータ設定回路と、を備える、ことを特徴とする。

30

【0022】

また、本発明の内視鏡システムにおいて、前記遅延回路は、入力されたパラメータに応じて、入力された信号を遅延させる遅延時間を変更することができ、前記時間間隔変換部は、前記遅延回路が入力された信号を遅延させて出力する際の遅延時間を制御するパラメータを出力するパラメータ調節部、をさらに備え、前記パラメータ調節部は、前記パラメータを調節することによって、前記遅延回路が入力された信号を遅延させて出力する際の遅延時間を調節して、前記オシレータがクロックの出力を開始するタイミングまたは前記オシレータが出力したクロックのタイミングを調整し、前記クロック出力部が出力するクロックのエッジのタイミングを調節する、ことを特徴とする。

40

【0023】

また、本発明の内視鏡システムにおいて、前記パラメータ調節部は、入力されたパラメ

50

ータに応じた遅延時間で、入力された信号を遅延させて出力する直列に接続された複数の第2の遅延回路と、複数の前記第2の遅延回路の内、異なる2つの前記第2の遅延回路のそれぞれに対応し、対応する前記第2の遅延回路から、遅延された当該パラメータ調節部の動作の開始を表す動作開始信号が入力されたときから、同じ周波数のクロックを出力する2つの第2のオシレータと、2つの前記第2のオシレータのそれぞれが出力するクロックのエッジのタイミングを比較し、該比較したエッジのタイミングの差の時間を表す位相比較情報を出力する位相比較回路と、前記位相比較情報に基づいて、比較している2つの前記第2のオシレータが出力するそれぞれのクロックのエッジのタイミングを一致させるように制御するための、前記第2の遅延回路の遅延時間を制御するパラメータを演算し、該演算したパラメータを、前記遅延回路および前記第2の遅延回路の遅延時間を制御するパラメータとして出力するパラメータ設定回路と、を備える、ことを特徴とする。

10

【0024】

また、本発明の内視鏡システムにおいて、直列に接続された複数の前記第2の遅延回路は、複数の遅延要素をリング状に接続して構成されるリング発振器における前記遅延要素の一部を構成する、ことを特徴とする。

【0025】

また、本発明の内視鏡システムにおいて、前記遅延回路および前記第2の遅延回路は、閾値電圧をずらした2つのインバータ（論理否定）回路を直列に接続したバッファ回路である、ことを特徴とする。

【0026】

また、本発明の内視鏡システムにおいて、前段の前記インバータ回路の閾値電圧を、後段の前記インバータ回路の閾値電圧より低く設定して、前記バッファ回路を構成する場合には、後段の前記インバータ回路の電源電圧を、前段の前記インバータ回路の電源電圧より低く設定し、前段の前記インバータ回路の閾値電圧を、後段の前記インバータ回路の閾値電圧より高く設定して、前記バッファ回路を構成する場合には、前段の前記インバータ回路の電源電圧を、後段の前記インバータ回路の電源電圧より高く設定する、ことを特徴とする。

20

【0027】

また、本発明のA/D変換器は、入力されたアナログ入力信号の大きさを時間の幅である時間間隔で表した時間情報に変換して出力する電圧時間変換部を具備し、該電圧時間変換部が出力した前記時間情報を送信する送信部と、前記送信部から送信された前記時間情報を、前記送信部から離れた位置に導く伝達部と、前記伝達部によって導かれた前記時間情報を受信し、該受信した前記時間情報が表す前記アナログ入力信号の大きさをデジタル信号に変換して出力する時間デジタル変換部を具備し、該時間デジタル変換部が出力したデジタル信号を出力する受信部と、前記受信部が出力した前記デジタル信号に対して予め定めた信号処理を行い、該信号処理を行ったデジタル信号を最終的なデジタル信号として出力する信号処理部と、を備え、前記電圧時間変換部は、前記アナログ入力信号を V_{in} とし、該アナログ入力信号を変換した前記時間情報を D としたとき、該アナログ入力信号 V_{in} と該時間情報 D との関係が、 $D = b / (V_{in} - a)$ （ a は任意の実数、 b は0を除いた任意の実数）で表される1次の分数関数の関係になるように前記アナログ入力信号を前記時間情報に変換し、前記信号処理部は、0を除く任意のデジタル信号を、前記受信部が出力した前記デジタル信号で除算する前記信号処理を行って一次関数の関係を有するデジタル信号を生成し、該生成したデジタル信号を前記最終的なデジタル信号として出力する、ことを特徴とする。

30

40

【0028】

また、本発明のA/D変換器において、前記電圧時間変換部は、1つの前記アナログ入力信号の大きさを、異なる時間間隔で表した複数の前記時間情報に変換し、前記送信部は、前記電圧時間変換部が変換した複数の前記時間情報を送信し、前記時間デジタル変換部は、前記伝達部によって導かれたそれぞれの前記時間情報が表す1つの前記アナログ入力信号の複数の時間間隔を、それぞれ前記デジタル信号に変換する時間デジタル変換部から

50

なり、前記受信部は、複数の前記時間情報の内、前記時間デジタル変換部が予め定めた信号処理期間内に変換を完了した前記時間情報に係る変換したデジタル信号の一つを選択して出力する、ことを特徴とする。

【0029】

また、本発明のA/D変換器において、前記受信部は、予め定めた前記信号処理期間内に変換を完了した前記時間情報の内、最長の時間間隔を表した前記時間情報に係る変換したデジタル信号を選択する、ことを特徴とする。

【0030】

また、本発明のA/D変換器において、前記電圧時間変換部は、入力された信号を、前記アナログ入力信号の大きさに応じた時間で反転させて出力する反転回路、を具備し、入力された前記信号が、前記反転回路によって予め定めた回数だけ反転された時間に基づいて、前記アナログ入力信号の大きさを時間間隔で表す、ことを特徴とする。

10

【0031】

また、本発明のA/D変換器において、前記伝達部は、前記送信部が送信する光信号を伝送する光導波路、を備え、前記送信部は、電気信号である前記時間情報を光信号に変換して送信し、前記受信部は、前記伝達部によって伝送された光信号を受信し、該受信した光信号を再び電気信号である前記時間情報に変換する、ことを特徴とする。

【発明の効果】

【0032】

本発明によれば、ノイズ耐性の効果を損なうことなく画素信号を伝送することができ、内視鏡スコープの先端部の消費電力を低減することができる内視鏡システムを提供することができるという効果が得られる。

20

【図面の簡単な説明】

【0033】

【図1】本発明の第1の実施形態による内視鏡システムの構成を示した図である。

【図2】本第1の実施形態の内視鏡システムに備えた各構成要素の概略構成の一例を示したブロック図である。

【図3】本第1の実施形態の内視鏡システムにおけるそれぞれの信号の関係を示したタイミングチャートである。

【図4】本第1の実施形態の内視鏡システムに備えた時間変換器の概略構成の一例を示したブロック図である。

30

【図5】本第1の実施形態の内視鏡システムにおける光パルス信号の生成方法を示したタイミングチャートである。

【図6】本第1の実施形態の内視鏡システムの時間変換器に備えた反転回路の構成の一例を示したブロック図である。

【図7】本第1の実施形態の内視鏡システムにおける画素信号と変換時間との関係を示した図である。

【図8】本第1の実施形態の内視鏡システムにおいて伝送された信号を処理した後の画素信号と変換時間との関係を示した図である。

【図9】本第1の実施形態の内視鏡システムに備えた時間間隔変換装置の概略構成の一例を示したブロック図である。

40

【図10】本第1の実施形態の内視鏡システムに備えた時間間隔変換装置におけるそれぞれのクロックの関係を示したタイミングチャートである。

【図11】本第1の実施形態の内視鏡システムに備えた時間間隔変換装置におけるオシレータの概略構成の一例を示したブロック図である。

【図12】本第1の実施形態の内視鏡システムに備えた時間間隔変換装置における遅延回路の構成の一例を示したブロック図である。

【図13】本第1の実施形態の内視鏡システムに備えた時間間隔変換装置におけるパラメータ調節回路の概略構成の一例を示したブロック図である。

【図14】本第1の実施形態の内視鏡システムに備えた時間間隔変換装置におけるパラメ

50

ータ調節回路の動作のタイミングを示したタイミングチャートである。

【図 1 5】本発明の第 2 の実施形態による内視鏡システムに備えた各構成要素の概略構成の一例を示したブロック図である。

【図 1 6】本第 2 の実施形態の内視鏡システムにおけるそれぞれの信号の関係を示したタイミングチャートである。

【図 1 7】本発明の第 3 の実施形態による内視鏡システムに備えた各構成要素の概略構成の一例を示したブロック図である。

【図 1 8】本第 3 の実施形態の内視鏡システムに備えた時間変換器の概略構成の一例を示したブロック図である。

【図 1 9】本第 3 の実施形態の内視鏡システムにおける光パルス信号の生成方法を示したタイミングチャートである。

10

【図 2 0】本第 3 の実施形態の内視鏡システムに備えた選択装置によるデジタル信号の選択方法を説明する図である。

【図 2 1】本発明の第 1 の実施形態の内視鏡システムに備えた時間間隔変換装置の概略構成の別の一例を示したブロック図である。

【図 2 2】本発明の第 1 の実施形態の内視鏡システムに備えた別の時間間隔変換装置におけるそれぞれのクロックの関係を示したタイミングチャートである。

【図 2 3】本発明の第 1 の実施形態の内視鏡システムに備えた別の時間間隔変換装置における遅延回路の構成の一例を示したブロック図である。

【図 2 4】本発明の第 1 の実施形態の内視鏡システムに備えた別の時間間隔変換装置におけるパラメータ調節回路の概略構成の一例を示したブロック図である。

20

【図 2 5】本発明の第 1 の実施形態の内視鏡システムに備えた別の時間間隔変換装置におけるパラメータ調節回路の動作のタイミングを示したタイミングチャートである。

【図 2 6】本発明の第 1 の実施形態の内視鏡システムに備えた別の時間間隔変換装置における遅延回路の別の構成の一例を示したブロック図である。

【図 2 7】本発明の A / D 変換器の概略構成の一例を示したブロック図である。

【図 2 8】本発明の A / D 変換器に備えた電圧時間変換装置の概略構成の一例を示したブロック図である。

【図 2 9】本発明の A / D 変換器に備えた電圧時間変換装置における電気パルス信号の生成方法を示したタイミングチャートである。

30

【図 3 0】本発明の A / D 変換器の概略構成の別の一例を示したブロック図である。

【図 3 1】本発明の別の A / D 変換器に備えた電圧時間変換装置の概略構成の一例を示したブロック図である。

【図 3 2】本発明の別の A / D 変換器に備えた電圧時間変換装置およびシリアルライザにおける電気パルス信号の生成方法を示したタイミングチャートである。

【図 3 3】本発明の別の A / D 変換器に備えたデシリアルライザにおける電気パルス信号の生成方法を示したタイミングチャートである。

【発明を実施するための形態】

【0034】

< 第 1 の実施形態 >

40

以下、本発明の実施形態について、図面を参照して説明する。図 1 は、本第 1 の実施形態による内視鏡システムの構成を示した図である。図 1 において、内視鏡システム 1 は、内視鏡スコープ 2 と、本体部 3 と、モニタ 4 と、を備えている。内視鏡システム 1 は、内視鏡スコープ 2 が取得した映像（画素信号）を本体部 3 で処理し、本体部 3 が処理した映像信号を画像としてモニタ 4 に表示する。

【0035】

また、内視鏡スコープ 2 は、先端部 5 と、挿入部 6 と、操作部 7 と、ユニバーサルコード 8 と、コネクタ部 9 と、で構成されている。内視鏡スコープ 2 の先端部 5 は、撮像部を備え、先端部 5 を被検物内に導くコードである挿入部 6 によって導かれて、被検物内に挿入される。操作部 7 は、先端部 5 を被検物内に挿入するときの先端部 5 の動きを、挿入部

50

6を介して操作する。ユニバーサルコード8は、操作部7と本体部3とを繋ぐケーブルであり、コネクタ部9によって、本体部3と接続されている。

【0036】

次に、本第1の実施形態の内視鏡システム1の内部機能について、具体的に説明する。図2は、本第1の実施形態の内視鏡システム1に備えた各構成要素の概略構成の一例を示したブロック図である。図2には、図1に示した内視鏡システム1における内部機能の一例を示している。なお、図2においては、説明を容易にするため、図1に示した先端部5の動きの操作に係る操作部7を省略し、挿入部6、操作部7、ユニバーサルコード8、およびコネクタ部9をまとめて、伝達部10として表している。

【0037】

先端部5は、撮像部11と、時間変換器12と、送信部13と、を備えている。撮像部11は、例えば、CMOS(Complementary Metal-Oxide Semiconductor:相補型金属酸化膜半導体)イメージセンサなど、画素が受光した光量をアナログの電気信号に変換し、受光した光量(光強度)に応じた強度(大きさ)の画素信号を、画素毎に順次出力する固体撮像装置を備えている。撮像部11は、被検物内の映像を撮像したとき、固体撮像装置のそれぞれの画素から順次出力された画素信号を、時間変換器12に順次出力する。

【0038】

時間変換器12は、撮像部11から入力された画素信号の大きさを、時間の長さに変換するための情報である時間情報出力する。より具体的には、時間変換器12は、撮像部11から入力された画素信号の大きさを時間幅(時間間隔)で表すためのパルス信号を生成する。時間変換器12が生成するパルス信号は、入力された画素信号の大きさに応じた時間間隔が開始されるタイミングと、終了されるタイミングとを表すそれぞれのパルス信号である。そして、時間変換器12は、生成したパルス信号を、時間情報として送信部13に出力する。時間変換器12には、撮像部11から出力された画素信号が入力端子12aに入力され、生成した時間情報を出力端子12bおよび出力端子12cから出力する。なお、時間変換器12による画素信号から時間情報を生成する方法に関する詳細な説明は、後述する。

【0039】

送信部13は、時間変換器12から入力された時間情報に基づいて、画素信号の大きさをパルス幅で表す光パルス信号を生成し、生成した光パルス信号を送信する。なお、送信部13による時間情報から光パルス信号を生成する方法に関する詳細な説明は、後述する。

【0040】

伝達部10は、例えば、光ファイバなど、光信号を送信するための光導波路を内部に備えている。伝達部10は、内部に備えた光導波路によって、送信部13から伝送された光パルス信号を、先端部5の外部、すなわち、被検物の外部に導く(伝送する)。図2では、伝達部10の内部に備えた光導波路が「光ファイバ」である場合を示している。

【0041】

本体部3は、受信部14と、時間間隔変換装置15と、ビデオプロセッサ16と、を備えている。受信部14は、伝達部10を介して送信部13から伝送された光パルス信号を、再び電気信号(以下、「電気パルス信号」という)に変換する。そして、受信部14は、変換した電気パルス信号を、時間間隔変換装置15に出力する。

【0042】

時間間隔変換装置15は、受信部14から入力された電気パルス信号に基づいて、時間変換器12が出力した時間情報を検出する。そして、時間間隔変換装置15は、検出した時間情報に基づいて、時間情報が表す時間の長さ(時間間隔)を2進のデジタル信号、すなわち、撮像部11から時間変換器12に入力された画素信号の大きさを表す2進のデジタル信号に変換する。これにより、撮像部11が撮像した被検物内の映像であるアナログの画素信号が、デジタルの映像信号に変換される。そして、時間間隔変換装置15は、変

10

20

30

40

50

換したデジタル信号を、ビデオプロセッサ 16 に出力する。時間間隔変換装置 15 には、受信部 14 から出力された電気パルス信号が入力端子 15 a に入力され、変換したデジタル信号を出力端子 15 b から出力する。なお、時間間隔変換装置 15 による時間情報の検出方法、および時間情報からデジタル信号への変換方法に関する詳細な説明は、後述する。

【0043】

ビデオプロセッサ 16 は、時間間隔変換装置 15 から入力されたデジタル信号を処理し、デジタル信号に基づいた画像、すなわち、先端部 5 の撮像部 11 が撮像した被検物内の映像を、モニタ 4 に表示させる。

【0044】

次に、本第 1 の実施形態の内視鏡システム 1 の動作について説明する。図 3 は、本第 1 の実施形態の内視鏡システム 1 におけるそれぞれの信号の関係を示したタイミングチャートである。図 3 において、「画素信号」は、撮像部 11 が出力する被検物内の映像に応じた画素信号（アナログの電気信号）の一例を示している。図 3 には、撮像部 11 から 4 つの画素の画素信号（画素信号 P 1 ~ P 4）が順次出力される場合のタイミングを示している。また、「光パルス信号」は、送信部 13 が伝送する光パルス信号の一例を模式的に示している。また、「電気パルス信号」は、伝達部 10 を介して伝送された光パルス信号を、受信部 14 が電気信号に変換して時間間隔変換装置 15 に出力する電気パルス信号の一例を示している。

【0045】

撮像部 11 は、それぞれの画素が撮像した映像の光量（光強度）に応じたそれぞれの大きさ（電圧）の画素信号（画素信号 P 1 ~ P 4）を順次出力する。そして、時間変換器 12 は、撮像部 11 が出力したそれぞれの画素信号 P 1 ~ P 4 の電圧値の大きさに応じた、それぞれの時間情報（パルス信号）を生成する。そして、送信部 13 は、時間変換器 12 がそれぞれ生成した時間情報に対応したパルス幅の光パルス信号を生成する。図 3 に示した光パルス信号の一例では、画素信号の電圧値が小さい程“H”レベルのパルス幅が広く、画素信号の電圧値が大きい程“H”レベルのパルス幅が狭い、光パルス信号を生成する場合を示している。すなわち、図 3 に示した光パルス信号の一例では、それぞれのパルスの立ち上がりエッジのタイミングから立ち下がりエッジのタイミングまでの時間が、それぞれの画素信号 P 1 ~ P 4 の電圧値の大きさを表している。

【0046】

送信部 13 は、時間変換器 12 が出力した時間情報に基づいて生成した光パルス信号を、本体部 3 に伝送する。送信部 13 が伝送した光パルス信号は、伝達部 10 を介して受信部 14 に到達し、受信部 14 によって再び電気信号に変換され、電気パルス信号として時間間隔変換装置 15 に入力される。これにより、時間変換器 12 が出力した時間情報（パルス信号）のそれぞれが、一定の時間遅延して時間間隔変換装置 15 に順次入力されることになる。

【0047】

時間間隔変換装置 15 は、入力された電気パルス信号の立ち上がりエッジと立ち下がりエッジの時間幅（時間間隔）、すなわち、それぞれの画素信号 P 1 ~ P 4 の電圧値の大きさを、2 進のデジタル信号にそれぞれ変換してビデオプロセッサ 16 に順次出力する。そして、ビデオプロセッサ 16 は、時間間隔変換装置 15 から順次入力されたデジタル信号を処理した画像を、モニタ 4 に表示させる。

【0048】

このように、本第 1 の実施形態の内視鏡システム 1 では、先端部 5 に備えた時間変換器 12 が、撮像部 11 が撮像したアナログの画素信号に基づいて時間情報を生成し、送信部 13 が時間情報に応じた光パルス信号を本体部 3 に伝送する。すなわち、本第 1 の実施形態の内視鏡システム 1 では、被検物内に挿入する内視鏡スコープ 2 の先端部 5 で、アナログの画素信号を時間に変換して伝送することによって、撮像した被検物内の映像を本体部 3 に伝送する。そして、本体部 3 に備えた時間間隔変換装置 15 が、伝送された時間情報

10

20

30

40

50

を、デジタル信号に変換する。これにより、本第 1 の実施形態の内視鏡システム 1 では、従来の内視鏡システムのように、被検物内に挿入する内視鏡スコープ 2 の先端部 5 内に、消費電力が大きい A / D 変換部やシリアルライズするための構成要素を備える必要がなくなり、先端部 5 の消費電力を低減し、発熱を抑えることができる。

【 0 0 4 9 】

ここで、先端部 5 に備えた時間変換器 1 2 および送信部 1 3 による、撮像部 1 1 から入力された画素信号の大きさを時間の長さに変換して伝送する方法、および本体部 3 に備えた時間間隔変換装置 1 5 による、時間の長さ（時間間隔）を 2 進のデジタル信号に変換する方法の具体的な例について説明する。

【 0 0 5 0 】

< 画素信号の大きさの時間の長さへの変換方法の一例 >

まず、本第 1 の実施形態の内視鏡システム 1 における内視鏡スコープ 2 の先端部 5 に備えることが想定される時間変換器 1 2 の一例について説明する。図 4 は、本第 1 の実施形態の内視鏡システム 1 に備えた時間変換器 1 2 の概略構成の一例を示したブロック図である。図 4 には、10 個の論理否定回路（インバータ回路）を反転回路とし、それぞれの反転回路が直列に接続された時間変換器 1 2 の構成の一例を示している。図 4 において、時間変換器 1 2 は、パルス発生器 1 8 0 と、10 個の反転回路 1 8 _ 1 ~ 1 8 _ 1 0 と、を備えている。なお、以下の説明においては、反転回路 1 8 _ 1 ~ 1 8 _ 1 0 のいずれか 1 つの反転回路を示すときには、「反転回路 1 8」という。

【 0 0 5 1 】

パルス発生器 1 8 0 は、撮像部 1 1 に備えた固体撮像装置のそれぞれの画素に対応した画素信号が時間変換器 1 2 に入力される毎に、入力されたそれぞれの画素の画素信号の時間への変換を開始するためのパルス信号（以下、「IN パルス信号」という）を出力する。

【 0 0 5 2 】

全ての反転回路 1 8 の電源端子 1 8 c には、時間変換器 1 2 の入力端子 1 2 a に入力された画素信号が、電源 V i n として入力される。そして、初段の反転回路 1 8 _ 1 には、パルス発生器 1 8 0 が出力した IN パルス信号が入力端子 1 8 a に入力され、次段以降の各反転回路 1 8 には、前段の反転回路 1 8 の出力信号が入力端子 1 8 a に入力される。

【 0 0 5 3 】

それぞれの反転回路 1 8 は、入力端子 1 8 a に入力された IN パルス信号、または前段の反転回路 1 8 の出力信号を反転（論理否定）した信号を、電源端子 1 8 c に入力された電源 V i n の電圧値に応じた遅延時間だけ遅延させて、出力端子 1 8 b から出力する。すなわち、それぞれの反転回路 1 8 は、入力端子 1 8 a に入力された信号を、電源端子 1 8 c に入力された画素信号の電圧値に応じて遅延させて、出力端子 1 8 b から出力する。これにより、最終段の反転回路 1 8 _ 1 0 の出力端子 1 8 b から、パルス発生器 1 8 0 が発生した IN パルス信号を、電源端子 1 8 c に入力された電源 V i n の電圧値に応じて 10 段分遅延させたパルス信号（以下、「OUT パルス信号」という）が出力される。

【 0 0 5 4 】

時間変換器 1 2 は、パルス発生器 1 8 0 が出力した IN パルス信号と、反転回路 1 8 _ 1 0 が出力した OUT パルス信号とを、撮像部 1 1 から入力された画素信号の大きさを時間の長さに変換するための時間情報として、出力端子 1 2 b と出力端子 1 2 c とから出力する。なお、時間変換器 1 2 の出力端子 1 2 b から出力する IN パルス信号は、入力された画素信号の大きさに応じた時間間隔が開始されるタイミングを表すパルス信号であり、出力端子 1 2 c から出力する OUT パルス信号は、入力された画素信号の大きさに応じた時間間隔が終了されるタイミングを表すパルス信号である。

【 0 0 5 5 】

次に、本第 1 の実施形態の内視鏡システム 1 において、時間情報に基づいた画素信号の大きさをパルス幅で表す光パルス信号の生成方法について説明する。図 5 は、本第 1 の実施形態の内視鏡システム 1 における光パルス信号の生成方法を示したタイミングチャート

10

20

30

40

50

である。図 5 には、撮像部 11 から入力された 1 つの画素の画素信号に対応した光パルス信号を生成する場合のタイミングを示している。

【0056】

時間変換器 12 は、撮像部 11 から時間に変換すべき画素信号が、電源 V_{in} として時間変換器 12 の入力端子 12a に入力された後、図 5 に示したように、パルス発生器 180 が出力した IN パルス信号を、時間情報として出力端子 12b から出力する。また、時間変換器 12 は、それぞれの反転回路 18 が IN パルス信号を電源 V_{in} の電圧値に応じた遅延時間だけ順次遅延させ、図 5 に示したように、最終段の反転回路 18₁₀ が出力した OUT パルス信号を、時間情報として出力端子 12c から出力する。

【0057】

時間変換器 12 が出力した IN パルス信号の立ち上がりエッジのタイミングと、OUT パルス信号の立ち上がりエッジのタイミングとの時間差が、電源 V_{in} として時間変換器 12 の入力端子 12a に入力された画素信号の大きさに応じた時間、すなわち、画素信号を時間の長さに変換したときの変換時間 D である。

【0058】

送信部 13 は、時間変換器 12 から入力された IN パルス信号と OUT パルス信号とに応じて、変換時間 D をパルス幅で表した光パルス信号を生成する。図 5 では、送信部 13 が、IN パルス信号の立ち上がりエッジのタイミングで発光し、OUT パルス信号の立ち上がりエッジのタイミングで消光する光パルス信号を生成する場合を示している。

【0059】

ここで、時間変換器 12 に入力された画素信号と変換時間 D との関係について説明する。まず、時間変換器 12 に備えた反転回路 18 について説明する。図 6 は、本第 1 の実施形態の内視鏡システム 1 の時間変換器 12 に備えた反転回路 18 の構成の一例を示したブロック図である。図 6 には、2 個のトランジスタ (PMOS トランジスタおよび NMOS トランジスタ) で構成した一般的な反転回路 18 の構成の一例を示している。なお、図 6 に示した反転回路 18 は、反転回路の基本的な構成であるため、反転回路の動作に関する詳細な説明は省略する。

【0060】

上述したように、撮像部 11 から出力された画素信号は、反転回路 18 の電源 V_{in} として入力される。一般的に、PMOS トランジスタと NMOS トランジスタとで構成された反転回路では、電源電圧と、信号の入力から出力までの遅延時間とに、1 次の分数関数の関係を有している。このため、時間変換器 12 においても、反転回路 18 の電源 V_{in} として入力される画素信号と変換時間 D とに、図 7 に示したような 1 次の分数関数の関係を有することになる。図 7 を見てわかるように、画素信号と変換時間 D との関係は、線形の関係とはなっていない。ここで、画素信号 (電源 V_{in}) と変換時間 D との関係は、下式 (1) のように表される。

【0061】

$$D = b / (V_{in} - a) \quad \cdots (1)$$

【0062】

なお、上式 (1) において、a は任意の実数、b は 0 を除いた任意の実数である。そして、図 7 において a および b は、0 より大きい定数 ($a > 0$, $b > 0$) である。

【0063】

しかし、上式 (1) のように表される変換時間 D で画素信号の大きさが時間の長さに変換されることが事前にわかっているならば、伝送された光パルス信号に基づいて 2 進のデジタル信号に変換した後の変換時間 D に対して処理を行うことによって、画素信号 (電源 V_{in}) と比例した関係を有するデジタルの映像信号を容易に生成することができる。すなわち、時間間隔変換装置 15 が変換した 2 進のデジタル信号に対して予め定めた処理を行うことによって、アナログの画素信号 (電源 V_{in}) と比例した関係を有するデジタルの映像信号を容易に生成することができる。

【0064】

より具体的には、ビデオプロセッサ 16 が、予め定めた定数を、時間間隔変換装置 15 から出力されたデジタル信号で除算することによって、図 8 に示したようなほぼ一次関数の関係を有するデジタルの映像信号を生成することができる。図 8 には、任意の定数 A をデジタル信号（変換時間 D）で除算することによって、傾きが A/b でアナログの画素信号（電源 Vin）と比例した関係を有する、デジタル信号（ $= A/D$ ）を生成する場合を示している。

【0065】

このように、本第 1 の実施形態の内視鏡システム 1 では、図 4 に示したような構成の時間変換器 12 を先端部 5 に備えることによって、容易に画素信号を時間の長さに変換することができる。また、時間変換器 12 における画素信号と変換時間 D との関係が線形の場合を有していない場合でも、2 進のデジタル信号に変換した後の変換時間 D に対して処理を行うことによって、アナログの画素信号と略比例した関係を有するデジタルの映像信号を得ることができる。

10

【0066】

< 時間の長さ（時間間隔）のデジタル信号への変換方法の一例 >

続いて、本第 1 の実施形態の内視鏡システム 1 における本体部 3 に備えることが想定される時間間隔変換装置 15 の一例について説明する。図 9 は、本第 1 の実施形態の内視鏡システム 1 に備えた時間間隔変換装置 15 の概略構成の一例を示したブロック図である。図 9 において、時間間隔変換装置 15 は、エッジ検出器 100 と、10 個の遅延回路 102_1 ~ 102_10 と、オシレータ 103 と、4 個のラッチ 104_1 ~ 104_4 と、4 個のカウンタ 105_1 ~ 105_4 と、加算回路 106 と、を備えている。

20

【0067】

時間間隔変換装置 15 は、位相を離れた複数のクロックを並列に駆動させることによって、入力された電気パルス信号が表す時間間隔をデジタル信号に変換し、変換したデジタル信号を出力する。時間間隔変換装置 15 には、受信部 14 が電気信号に変換した電気パルス信号が入力端子 15a に入力される。そして、時間間隔変換装置 15 は、入力された電気パルス信号の立ち上がりエッジと立ち下がりエッジの時間幅（時間間隔）に応じたデジタル信号、すなわち、画素信号の大きさをパルス幅で表した変換時間 D に応じたデジタル信号を、出力端子 15b から出力する。

30

【0068】

なお、時間間隔変換装置 15 のような、位相を離れた複数のクロックを並列に駆動させる方式の時間間隔変換装置では、隣り合うクロック同士のエッジの間隔の関係が崩れると、デジタル信号への変換誤差に繋がってしまうため、隣り合うクロック同士のエッジの間隔が等しいことが望ましい。このため、時間間隔変換装置 15 では、さらに、パラメータ調節回路 107 を備え、位相を離れた複数のクロックの周波数を制御することによって、電気パルス信号が表す時間間隔をデジタル信号に変換する際に用いるクロックの変動を抑え、時間間隔を高い分解能で精度良くデジタル信号に変換する。

【0069】

なお、図 9 に示した時間間隔変換装置 15 において、遅延回路 102_1 ~ 102_10 のいずれか 1 つの遅延回路を示すときには、「遅延回路 102」といい、ラッチ 104_1 ~ 104_4 のいずれか 1 つのラッチを示すときには、「ラッチ 104」とい、カウンタ 105_1 ~ 105_4 のいずれか 1 つのカウンタを示すときには、「カウンタ 105」という。また、以下の説明においては、時間間隔変換装置 15 内のそれぞれの構成要素の出力端子の信号を、「ノード」という。

40

【0070】

エッジ検出器 100 は、時間間隔変換装置 15 に入力された電気パルス信号の立ち上がりエッジと立ち下がりエッジとを検出し、検出した電気パルス信号の立ち上がりエッジのタイミングを表す信号と、検出した電気パルス信号の立ち下がりエッジのタイミングを表す信号とを、それぞれ出力する。エッジ検出器 100 が出力する電気パルス信号の立ち上がりエッジのタイミングを表す信号は、画素信号の大きさに応じた時間間隔が開始される

50

タイミング、すなわち、時間変換器 12 が出力する IN パルス信号の立ち上がりエッジのタイミングを表す信号（以下、「開始信号」という）である。また、エッジ検出器 100 が出力する電気パルス信号の立ち下がりエッジのタイミングを表す信号は、画素信号の大きさに応じた時間間隔が終了されるタイミング、すなわち、時間変換器 12 が出力する OUT パルス信号の立ち上がりエッジのタイミングを表す信号（以下、「終了信号」という）である。エッジ検出器 100 が出力する開始信号は、時間間隔変換装置 15 が時間間隔のデジタル信号への変換を開始するタイミングでもあり、終了信号は、時間間隔変換装置 15 が時間間隔のデジタル信号への変換を終了するタイミングでもある。

【0071】

エッジ検出器 100 には、時間間隔変換装置 15 の入力端子 15a に入力された電気パルス信号が、入力端子 100c に入力される。そして、エッジ検出器 100 は、開始信号（ノード n11）を出力端子 100a から、終了信号（ノード n16）を出力端子 100b から、それぞれ出力する。より具体的には、エッジ検出器 100 は、入力された電気パルス信号の立ち上がりエッジを検出したときに、ノード n11 を“L”レベルから“H”レベルに切り替え、入力された電気パルス信号の立ち下がりエッジを検出したときに、ノード n16 を“L”レベルから“H”レベルに切り替える。

【0072】

オシレータ 103 は、時間間隔変換装置 15 が時間間隔のデジタル信号への変換を開始したときに、入力された設定信号に応じた周波数のクロックを出力する。オシレータ 103 には、エッジ検出器 100 の出力端子 100a から出力された開始信号（ノード n11）が入力端子 103a に入力され、パラメータ調節回路 107 の出力端子 107a から出力される設定信号が入力端子 103c に入力される。そして、オシレータ 103 は、ノード n11 が時間間隔の開始を表したときから、入力端子 103c に入力された設定信号に基づいた周波数のクロックを、出力端子 103b から出力する。オシレータ 103 が出力するクロックの周波数は、入力端子 103c に入力された、パラメータ調節回路 107 からの設定信号によって変更することができる。

【0073】

より具体的には、オシレータ 103 は、ノード n11 が“L”レベルから“H”レベルに切り替わるタイミングでクロックの出力を開始し、ノード n11 が、“H”レベルから“L”レベルに切り替わるタイミングで出力端子 103b を“L”レベルにして、クロックの出力を停止する。なお、オシレータ 103 の構成に関する詳細な説明は、後述する。

【0074】

遅延回路 102__1 ~ 102__10 のそれぞれは、入力端子 102a に入力された信号を、時間 Δt だけ遅延させて、出力端子 102b から出力する。時間間隔変換装置 15 では、図 9 に示したように配置された遅延回路 102 によって、オシレータ 103 から出力されたクロックを、時間 Δt だけ遅延させたクロック（以下、「クロック d1」という）、時間 $2\Delta t$ だけ遅延させたクロック（以下、「クロック d2」という）、時間 $3\Delta t$ だけ遅延させたクロック（以下、「クロック d3」という）、および時間 $4\Delta t$ だけ遅延させたクロック（以下、「クロック d4」という）のそれぞれを、並列に出力する。

【0075】

より具体的には、オシレータ 103 の出力端子 103b から出力されたクロックを、遅延回路 102__1、遅延回路 102__2、遅延回路 102__4、および遅延回路 102__7 のそれぞれの入力端子 102a に入力する。遅延回路 102__1 は、入力されたクロックを時間 Δt だけ遅延させたクロック d1 を、出力端子 102b から出力する。また、直列に接続された 2 個の遅延回路 102（遅延回路 102__2 および遅延回路 102__3）が、入力されたクロックを順次 Δt ずつ遅延させ、最終的に、遅延回路 102__3 が、遅延回路 102__2 の入力端子 102a に入力されたクロックを時間 $2\Delta t$ だけ遅延させたクロック d2 を、出力端子 102b から出力する。また、直列に接続された 3 個の遅延回路 102（遅延回路 102__4、遅延回路 102__5、および遅延回路 102__6）が、入力されたクロックを順次 Δt ずつ遅延させ、最終的に、遅延回路 102__6 が、遅延回

10

20

30

40

50

路 102__4 の入力端子 102 a に入力されたクロックを時間 $3\Delta t$ だけ遅延させたクロック d 3 を、出力端子 102 b から出力する。また、直列に接続された 4 個の遅延回路 102 (遅延回路 102__7、遅延回路 102__8、遅延回路 102__9、および遅延回路 102__10) が、入力されたクロックを順次 Δt ずつ遅延させ、最終的に、遅延回路 102__10 が、遅延回路 102__7 の入力端子 102 a に入力されたクロックを時間 $4\Delta t$ だけ遅延させたクロック d 4 を、出力端子 102 b から出力する。なお、遅延回路 102 の構成に関する詳細な説明は、後述する。

【0076】

ラッチ 104__1 ~ 104__4 のそれぞれは、入力端子 104 c に入力された信号に応じて、入力端子 104 a に入力された信号、または入力端子 104 a に入力された信号の状態を保持した信号を、出力端子 104 b から出力する。ラッチ 104__1 ~ 104__4 のそれぞれには、対応する遅延回路 102 の出力端子 102 b から出力された遅延されたクロックが入力端子 104 a に入力され、エッジ検出器 100 の出力端子 100 b から出力された終了信号 (ノード n 16) が入力端子 104 c に入力される。そして、ラッチ 104__1 ~ 104__4 のそれぞれは、ノード n 16 が “L” レベルのとき、入力端子 104 a に入力されたクロックを、そのまま出力端子 104 b に転送して出力し、ノード n 16 が “L” レベルから “H” レベルに切り替わるタイミングで、入力端子 104 a に入力されたクロックの状態を保持し、ノード n 16 が “H” レベルの間、保持した状態の信号を、出力端子 104 b に出力し続ける。時間間隔変換装置 15 では、図 9 に示したように配置されたラッチ 104 によって、遅延回路 102 が遅延させたそれぞれのクロックを、並列に出力する。

【0077】

より具体的には、ラッチ 104__1 は、遅延回路 102__1 から出力されたクロック d 1 が入力端子 104 a に入力され、ノード n 16 の状態に応じて、クロック d 1、または保持したクロック d 1 の状態の信号を、ノード n 12 として出力端子 104 b から出力する。また、ラッチ 104__2 は、遅延回路 102__3 から出力されたクロック d 2 が入力端子 104 a に入力され、ノード n 16 の状態に応じて、クロック d 2、または保持したクロック d 2 の状態の信号を、ノード n 13 として出力端子 104 b から出力する。また、ラッチ 104__3 は、遅延回路 102__6 から出力されたクロック d 3 が入力端子 104 a に入力され、ノード n 16 の状態に応じて、クロック d 3、または保持したクロック d 3 の状態の信号を、ノード n 14 として出力端子 104 b から出力する。また、ラッチ 104__4 は、遅延回路 102__10 から出力されたクロック d 4 が入力端子 104 a に入力され、ノード n 16 の状態に応じて、クロック d 4、または保持したクロック d 4 の状態の信号を、ノード n 15 として出力端子 104 b から出力する。

【0078】

この構成により、ラッチ 104 のそれぞれは、オシレータ 103 が、ノード n 11 が “L” レベルから “H” レベルに切り替わるタイミングで出力を開始し、遅延回路 102 のそれぞれが遅延させたクロックを、ノード n 16 が “L” レベルから “H” レベルに切り替わるタイミングで停止させることになる。言い換えれば、ラッチ 104 のそれぞれは、時間間隔変換装置 15 の入力端子 15 a に入力された電気パルス信号が、時間間隔の開始を表したときから、時間間隔の終了を表したときまでの間、すなわち、画素信号の大きさに応じた変換時間 D の間、オシレータ 103 が出力し遅延回路 102 のそれぞれが遅延させたそれぞれのクロックを、ノード n 12 ~ ノード n 15 として出力端子 104 b から出力することになる。なお、ラッチ 104 は、一般的な論理回路で容易に構成できるため、詳細な説明は省略する。

【0079】

カウンタ 105__1 ~ 105__4 のそれぞれは、入力端子 105 a に入力された信号 (ノード n 12 ~ ノード n 15) の立ち上がりエッジおよび立ち下がりエッジの数をカウントし、カウントしたカウント数を、出力端子 105 b から出力する。時間間隔変換装置 15 では、図 9 に示したように配置されたカウンタ 105 によって、対応するラッチ 104

から出力されたノード、すなわち、対応する遅延回路 102 が遅延させた、オシレータ 103 から出力されたクロックのエッジを、並列にカウントする。そして、カウンタ 105 は、カウントしたクロックのエッジのカウント数を、並列に出力する。

【0080】

より具体的には、カウンタ 105 __ 1 は、ラッチ 104 __ 1 から出力されたノード n 1 2、すなわち、クロック d 1 が入力端子 105 a に入力され、カウントしたノード n 1 2 の立ち上がりエッジおよび立ち下がりエッジの数を、出力端子 105 b から出力する。また、カウンタ 105 __ 2 は、ラッチ 104 __ 2 から出力されたノード n 1 3、すなわち、クロック d 2 が入力端子 105 a に入力され、カウントしたノード n 1 3 の立ち上がりエッジおよび立ち下がりエッジの数を、出力端子 105 b から出力する。また、カウンタ 105 __ 3 は、ラッチ 104 __ 3 から出力されたノード n 1 4、すなわち、クロック d 3 が入力端子 105 a に入力され、カウントしたノード n 1 4 の立ち上がりエッジおよび立ち下がりエッジの数を、出力端子 105 b から出力する。また、カウンタ 105 __ 4 は、ラッチ 104 __ 4 から出力されたノード n 1 5、すなわち、クロック d 4 が入力端子 105 a に入力され、カウントしたノード n 1 5 の立ち上がりエッジおよび立ち下がりエッジの数を、出力端子 105 b から出力する。なお、カウンタ 105 は、一般的な論理回路で容易に構成できるため、詳細な説明は省略する。

【0081】

加算回路 106 は、カウンタ 105 __ 1 ~ 105 __ 4 のそれぞれの出力端子 105 b から出力されたクロックのエッジのカウント数が、入力端子 106 a ~ 入力端子 106 d に入力され、入力されたクロックのエッジのカウント数を加算する。そして、加算回路 106 は、合計のカウント数を、時間間隔変換装置 15 に入力された電気パルス信号が表す時間間隔に応じたデジタル信号として、出力端子 106 e、すなわち、時間間隔変換装置 15 の出力端子 15 b から出力する。なお、加算回路 106 は、一般的な論理回路で容易に構成できるため、詳細な説明は省略する。

【0082】

パラメータ調節回路 107 は、オシレータ 103 が出力するクロックの周波数を制御するためのパラメータである設定信号を、出力端子 107 a から出力する。パラメータ調節回路 107 は、設定信号によって、遅延回路 102 __ 10 から出力されるクロック d 4 の立ち上がりエッジから時間 Δt だけ遅延したタイミングと、遅延回路 102 __ 1 から出力されるクロック d 1 の立ち下がりエッジのタイミングとが一致するように、オシレータ 103 が出力するクロックの周波数を調節する。

【0083】

これにより、遅延回路 102 __ 10 から出力されるクロック d 4、すなわち、オシレータ 103 が出力したクロックを時間 $4 \Delta t$ だけ遅延させたクロックの立ち上がりエッジのタイミングと、遅延回路 102 __ 1 から出力されるクロック d 1、すなわち、オシレータ 103 が出力したクロックを時間 Δt だけ遅延させたクロックの立ち下がりエッジのタイミングとの時間差が、時間 Δt になる。そして、対応するラッチ 104 __ 4 から出力されるノード n 1 5 の立ち上がりエッジのタイミングと、対応するラッチ 104 __ 1 から出力されるノード n 1 2 の立ち下がりエッジのタイミングとの時間差も、時間 Δt になる。なお、パラメータ調節回路 107 におけるオシレータ 103 が出力するクロックの周波数の調節方法に関する詳細な説明は、後述する。

【0084】

次に、本第 1 の実施形態の時間間隔変換装置 15 の動作について説明する。図 10 は、本第 1 の実施形態の内視鏡システム 1 に備えた時間間隔変換装置 15 におけるそれぞれのクロックの関係を示したタイミングチャートである。図 10 には、図 9 の時間間隔変換装置 15 の構成における各ノードのタイミングを示している。

【0085】

まず、タイミング t 1 のときに、エッジ検出器 100 が、時間間隔変換装置 15 の入力端子 15 a に入力された電気パルス信号に基づいて時間間隔の開始、すなわち、電気パル

10

20

30

40

50

ス信号の立ち上がりエッジを検出し、開始信号（ノード n 1 1）を“ L ”レベルから“ H ”レベルに切り替えると、同時に、オシレータ 1 0 3 がクロックの出力を開始する。これにより、遅延回路 1 0 2 の 1 段分の時間 Δt だけ遅延させたクロック d 1 であるノード n 1 2 が、ラッチ 1 0 4 __ 1 から出力される。並行して、遅延回路 1 0 2 の 2 段分の時間 $2 \Delta t$ だけ遅延させたクロック d 2 であるノード n 1 3 がラッチ 1 0 4 __ 2 から、遅延回路 1 0 2 の 3 段分の時間 $3 \Delta t$ だけ遅延させたクロック d 3 であるノード n 1 4 がラッチ 1 0 4 __ 3 から、遅延回路 1 0 2 の 4 段分の時間 $4 \Delta t$ だけ遅延させたクロック d 4 であるノード n 1 5 がラッチ 1 0 4 __ 4 から、それぞれ出力される。

【 0 0 8 6 】

そして、カウンタ 1 0 5 __ 1 ~ 1 0 5 __ 4 のそれぞれは、入力されたノード n 1 2 ~ ノード n 1 5 のそれぞれの立ち上がりエッジおよび立ち下がりエッジの数をカウントし、カウントしたカウント数を加算回路 1 0 6 にそれぞれ出力する。

【 0 0 8 7 】

その後、タイミング t 2 のときに、エッジ検出器 1 0 0 が、時間間隔変換装置 1 5 の入力端子 1 5 a に入力された電気パルス信号に基づいて時間間隔の終了、すなわち、電気パルス信号の立ち下がりエッジを検出し、終了信号（ノード n 1 6）を“ L ”レベルから“ H ”レベルに切り替えると、ラッチ 1 0 4 __ 1 ~ 1 0 4 __ 4 のそれぞれは、ノード n 1 2 ~ ノード n 1 5 の状態を保持する。

【 0 0 8 8 】

そして、加算回路 1 0 6 は、カウンタ 1 0 5 __ 1 ~ 1 0 5 __ 4 のそれぞれから入力されたクロックのエッジのカウント数を加算し、合計のカウント数を、時間間隔変換装置 1 5 に入力された電気パルス信号が表す時間間隔の開始から終了までの期間に応じたデジタル信号として、時間間隔変換装置 1 5 の出力端子 1 5 b から出力する。

【 0 0 8 9 】

このように、時間間隔変換装置 1 5 では、同じ周波数のクロックを同じ間隔（本時間間隔変換装置 1 5 においては、時間 Δt ）で遅延させた複数のクロックを並列に動作させる。そして、遅延させたそれぞれのクロックの立ち上がりエッジおよび立ち下がりエッジの数をカウントし、最後にクロックのエッジのカウント数を加算する。これにより、時間間隔変換装置 1 5 では、エッジ検出器 1 0 0 が検出した電気パルス信号が時間間隔の開始を表したとき（ノード n 1 1）から、時間間隔の終了を表したとき（ノード n 1 6）までの時間間隔の期間中のクロックのエッジのカウント数を増加させ、出力するデジタル信号の分解能を向上させることができる。

【 0 0 9 0 】

このとき、パラメータ調節回路 1 0 7 は、上述したように、ノード n 1 5 の立ち上がりエッジから時間 Δt だけ遅延したタイミングと、ノード n 1 2 の立ち下がりエッジのタイミングとが一致するように、パラメータ（設定信号）を逐次調節することによって、オシレータ 1 0 3 が出力するクロックの周波数を逐次調節する。これにより、時間間隔変換装置 1 5 では、図 1 0 に示したように、ノード n 1 2 ~ ノード n 1 5 の隣り合うエッジ（立ち上がりエッジおよび立ち下がりエッジ）同士の間隔を全て、常に一定の時間 Δt にすることができる。

【 0 0 9 1 】

このように、時間間隔変換装置 1 5 では、出力するクロックの周波数を変更することができるオシレータ 1 0 3 と、オシレータ 1 0 3 が出力するクロックの周波数を逐次調節するパラメータ調節回路 1 0 7 を備えることによって、時間間隔を高い分解能で精度良くデジタル信号に変換することができる。

【 0 0 9 2 】

次に、時間間隔変換装置 1 5 に備えたオシレータ 1 0 3 について説明する。図 1 1 は、本第 1 の実施形態の内視鏡システム 1 に備えた時間間隔変換装置 1 5 におけるオシレータ 1 0 3 の概略構成の一例を示したブロック図である。図 1 1 には、否定論理積回路（NAND 回路）と論理否定回路（インバータ回路）とのそれぞれを反転回路とし、5 個の反転

10

20

30

40

50

回路をリング状に連結したリング発振器の構成の一例を示している。図 11 において、オシレータ 103 は、NAND 回路 111 と、4 個のインバータ回路 112 __ 1 ~ 112 __ 4 と、を備えている。なお、図 11 に示したオシレータ 103 において、インバータ回路 112 __ 1 ~ 112 __ 4 のいずれか 1 つのインバータ回路を示すときには、「インバータ回路 112」といい、NAND 回路 111 および 4 個のインバータ回路 112 __ 1 ~ 112 __ 4 のいずれか 1 つの反転回路を示すときには、単に「反転回路」という。

【0093】

オシレータ 103 は、エッジ検出器 100 から入力端子 103 a に入力された、時間間隔変換装置 15 による時間間隔の測定の開始を表すノード n 11 に応じて、入力端子 103 c に入力されたパラメータ調節回路 107 からの設定信号に基づいた周波数のクロックを、出力端子 103 b から出力する。なお、図 11 においては、2 段目の反転回路であるインバータ回路 112 __ 1 の出力端子 112 b から出力される出力信号を、オシレータ 103 が出力するクロックとして、オシレータ 103 の出力端子 103 b から出力する場合の構成を示している。

10

【0094】

初段の反転回路である NAND 回路 111 には、オシレータ 103 の入力端子 103 a に入力されたノード n 11 が入力端子 111 b に入力され、最終段の反転回路であるインバータ回路 112 __ 4 の出力端子 112 b から出力される出力信号が入力端子 111 a に入力され、オシレータ 103 の入力端子 103 c に入力されたパラメータ（設定信号）が電源端子 111 d に入力される。NAND 回路 111 は、入力端子 111 a に入力された出力信号と入力端子 111 b に入力されたノード n 11 とを否定論理積した信号を、電源端子 111 d に入力されたパラメータに応じた遅延時間だけ遅延させて、出力端子 111 c から出力する。

20

【0095】

また、次段以降の各反転回路であるインバータ回路 112 には、前段の反転回路の出力信号が入力端子 112 a に入力され、オシレータ 103 の入力端子 103 c に入力されたパラメータ（設定信号）が電源端子 112 c に入力される。より具体的には、2 段目の反転回路であるインバータ回路 112 __ 1 には、初段の反転回路である NAND 回路 111 の出力端子 111 c から出力される出力信号が入力端子 112 a に入力され、パラメータ（設定信号）が電源端子 112 c に入力される。また、3 段目の反転回路であるインバータ回路 112 __ 2 には、インバータ回路 112 __ 1 の出力端子 112 b から出力される出力信号が入力端子 112 a に入力され、パラメータ（設定信号）が電源端子 112 c に入力される。また、4 段目の反転回路であるインバータ回路 112 __ 3 には、インバータ回路 112 __ 2 の出力端子 112 b から出力される出力信号が入力端子 112 a に入力され、パラメータ（設定信号）が電源端子 112 c に入力される。また、5 段目の反転回路であるインバータ回路 112 __ 4 には、インバータ回路 112 __ 3 の出力端子 112 b から出力される出力信号が入力端子 112 a に入力され、パラメータ（設定信号）が電源端子 112 c に入力される。それぞれのインバータ回路 112 は、入力端子 112 a に入力された前段の反転回路の出力信号を反転（論理否定）した信号を、電源端子 112 c に入力されたパラメータ（設定信号）に応じた遅延時間だけ遅延させて、出力端子 112 b から出力する。

30

40

【0096】

このように、時間間隔変換装置 15 では、オシレータ 103 としてリング発振器を用いることによって、オシレータ 103 内の各反転回路の電源電圧または電源電流をパラメータとして出力するクロックの周波数を変更することができるオシレータを、容易に構成することができる。

【0097】

なお、図 11 に示したオシレータ 103 の構成からわかるように、オシレータ 103 に入力されているノード n 11 が時間間隔の開始を表したときから、実際にオシレータ 103 の出力端子 103 b からクロックが出力されるまで、すなわち、インバータ回路 112

50

— 1 の出力端子 1 1 2 b から出力信号が出力されるまでには、遅延時間（オシレータ駆動遅延時間）がある。このオシレータ駆動遅延時間は、図 1 1 に示した N A N D 回路 1 1 1 とインバータ回路 1 1 2 — 1 との応答時間を合計した時間である。また、ノード n 1 6 が時間間隔の終了を表したときから、実際にラッチ 1 0 4 が、入力されたクロックの状態を保持した信号を出力するまでにも、遅延時間（ラッチ駆動遅延時間）がある。図 1 0 に示した時間間隔変換装置 1 5 のタイミングチャートでは、説明を簡潔にするため、オシレータ駆動遅延時間およびラッチ駆動遅延時間を無視した状態を示して説明した。しかし、実際には、上述したように、オシレータ駆動遅延時間およびラッチ駆動遅延時間が存在する。このオシレータ駆動遅延時間およびラッチ駆動遅延時間は、時間間隔変換装置 1 5 が時間間隔をデジタル信号に変換する際の誤差要因となる。このため、時間間隔変換装置 1 5 では、誤差を低減するために、オシレータ駆動遅延時間とラッチ駆動遅延時間とが、なるべく近い値の遅延時間となるように、それぞれの構成要素の条件を設定することが望ましい。

【 0 0 9 8 】

次に、時間間隔変換装置 1 5 に備えた遅延回路 1 0 2 について説明する。図 1 2 は、本第 1 の実施形態の内視鏡システム 1 に備えた時間間隔変換装置 1 5 における遅延回路 1 0 2 の構成の一例を示したブロック図である。図 1 2 には、4 個のトランジスタで構成した遅延回路 1 0 2 の構成の一例を示している。図 1 2 において、遅延回路 1 0 2 は、2 個の P M O S トランジスタ 1 1 3 — 1 および 1 1 3 — 2 と、2 個の N M O S トランジスタ 1 1 3 — 3 および 1 1 3 — 4 と、を備えている。

【 0 0 9 9 】

P M O S トランジスタ 1 1 3 — 1 は、ゲート端子が遅延回路 1 0 2 の入力端子 1 0 2 a に、ソース端子が電源 V 0 に、ドレイン端子が P M O S トランジスタ 1 1 3 — 2 のゲート端子、N M O S トランジスタ 1 1 3 — 4 のゲート端子、および N M O S トランジスタ 1 1 3 — 3 のドレイン端子に、それぞれ接続されている。また、N M O S トランジスタ 1 1 3 — 3 は、ゲート端子が遅延回路 1 0 2 の入力端子 1 0 2 a に、ソース端子が G N D および N M O S トランジスタ 1 1 3 — 4 のソース端子に、それぞれ接続されている。また、P M O S トランジスタ 1 1 3 — 2 は、ソース端子が電源 V 0 に、ドレイン端子が遅延回路 1 0 2 の出力端子 1 0 2 b および N M O S トランジスタ 1 1 3 — 4 のドレイン端子に、それぞれ接続されている。また、N M O S トランジスタ 1 1 3 — 4 は、ドレイン端子が遅延回路 1 0 2 の出力端子 1 0 2 b に接続されている。

【 0 1 0 0 】

このように、遅延回路 1 0 2 では、P M O S トランジスタ 1 1 3 — 1 と N M O S トランジスタ 1 1 3 — 3 とで前段のインバータ回路を構成し、P M O S トランジスタ 1 1 3 — 2 と N M O S トランジスタ 1 1 3 — 4 とで後段のインバータ回路を構成している。これは、インバータ回路を偶数段直列に接続したバッファ回路である。そして、時間間隔変換装置 1 5 では、インバータ回路を偶数段直列に繋げたバッファ回路を用いることによって、遅延回路を容易に構成することができる。

【 0 1 0 1 】

次に、時間間隔変換装置 1 5 に備えたパラメータ調節回路 1 0 7 について説明する。図 1 3 は、本第 1 の実施形態の内視鏡システム 1 に備えた時間間隔変換装置 1 5 におけるパラメータ調節回路 1 0 7 の概略構成の一例を示したブロック図である。図 1 3 において、パラメータ調節回路 1 0 7 は、否定論理和回路（N O R 回路）1 0 8 と、5 個の遅延回路 1 0 2 — 1 1 ~ 1 0 2 — 1 5 と、2 個のオシレータ 1 0 3 — 5 および 1 0 3 — 6 と、位相比較回路 1 0 9 と、パラメータ設定回路 1 1 0 と、を備えている。パラメータ調節回路 1 0 7 は、入力端子 O N / O F F の制御によって動作を開始すると、オシレータ 1 0 3 が出力するクロックの周波数を制御するためのパラメータである設定信号を、出力端子 1 0 7 a から出力する。

【 0 1 0 2 】

なお、図 1 3 に示したパラメータ調節回路 1 0 7 において、遅延回路 1 0 2 — 1 1 ~ 1

02__15のそれぞれは、図9に示した時間間隔変換装置15における遅延回路102と同様の構成、機能、および特性である。また、図13に示したパラメータ調節回路107において、オシレータ103__5および103__6は、図9に示した時間間隔変換装置15におけるオシレータ103と同様の構成、機能、および特性である。従って、以下の説明においては、図9に示した時間間隔変換装置15に備えた構成要素と同様の構成、機能、および特性についての説明は省略し、図9に示した時間間隔変換装置15に備えた構成要素と異なる構成および動作のみを説明する。そして、以下の説明においても、図9に示した時間間隔変換装置15の説明と同様に、図13に示したパラメータ調節回路107において、遅延回路102__11~102__15のいずれか1つの遅延回路を示すときには、「遅延回路102」といい、オシレータ103__5および103__6のいずれか1つのオシレータを示すときには、「オシレータ103」という。また、同様に、パラメータ調節回路107内のそれぞれの構成要素の出力端子の信号も、「ノード」という。

10

【0103】

NOR回路108には、入力端子ON/OFFに入力されたON/OFF信号が入力端子108aに入力され、遅延回路102__15の出力端子102bから出力される出力信号が入力端子108bに入力される。NOR回路108は、入力端子108aに入力されたON/OFF信号と入力端子108bに入力された遅延回路102__15の出力信号とを否定論理和した信号を、ノードn71として出力端子108cから出力する。

【0104】

パラメータ調節回路107では、図13に示したように、遅延回路102__11~102__15を直列に接続している。そして、初段の遅延回路102__11の入力端子102aに入力されたノードn71を、順次、時間 Δt だけ遅延させて、次段の遅延回路102の入力端子102aに入力する。また、遅延回路102__11が時間 Δt だけ遅延させたノードn71を、ノードn72としてオシレータ103__5の入力端子103aに、最終段の遅延回路102__15が時間 $5\Delta t$ だけ遅延させたノードn71を、ノードn77としてオシレータ103__6の入力端子103aに、それぞれ入力する。

20

【0105】

より具体的には、遅延回路102__11は、入力されたノードn71を時間 Δt だけ遅延させた信号を、ノードn72として出力端子102bから出力する。また、遅延回路102__12は、入力されたノードn72を時間 Δt だけ遅延させた信号、すなわち、ノードn71を時間 $2\Delta t$ だけ遅延させた信号を、ノードn74として出力端子102bから出力する。また、遅延回路102__13は、入力されたノードn74を時間 Δt だけ遅延させた信号、すなわち、ノードn71を時間 $3\Delta t$ だけ遅延させた信号を、ノードn75として出力端子102bから出力する。また、遅延回路102__14は、入力されたノードn75を時間 Δt だけ遅延させた信号、すなわち、ノードn71を時間 $4\Delta t$ だけ遅延させた信号を、ノードn76として出力端子102bから出力する。また、遅延回路102__15は、入力されたノードn76を時間 Δt だけ遅延させた信号、すなわち、ノードn71を時間 $5\Delta t$ だけ遅延させた信号を、ノードn77として出力端子102bから出力する。

30

【0106】

また、オシレータ103__5には、遅延回路102__11の出力端子102bから出力されたノードn72が入力端子103aに入力され、パラメータ設定回路110の出力端子110aから出力された設定信号が入力端子103cに入力される。そして、オシレータ103__5は、ノードn72が“L”レベルから“H”レベルに切り替わるタイミングで、入力端子103cに入力された設定信号に基づいた周波数のクロックを、ノードn73として出力端子103bから出力する。また、オシレータ103__6には、遅延回路102__15の出力端子102bから出力されたノードn77が入力端子103aに入力され、パラメータ設定回路110の出力端子110aから出力された設定信号が入力端子103cに入力される。そして、オシレータ103__6は、ノードn77が“L”レベルから“H”レベルに切り替わるタイミングで、入力端子103cに入力された設定信号に基

40

50

づいた周波数のクロックを、ノード n 7 8 として出力端子 1 0 3 b から出力する。

【 0 1 0 7 】

位相比較回路 1 0 9 は、入力端子 1 0 9 a に入力されたノード n 7 3 のクロックと、入力端子 1 0 9 b に入力されたノード n 7 8 のクロックとを比較し、ノード n 7 3 のクロックの立ち下がりエッジとノード n 7 8 のクロックの立ち上がりエッジとの時間差を検出する。そして、検出した時間差を表す信号（以下、「時間差信号」という）を、出力端子 1 0 9 c から出力する。

【 0 1 0 8 】

パラメータ設定回路 1 1 0 は、入力端子 1 1 0 b に入力された時間差信号に基づいて、ノード n 7 3 のクロックの立ち下がりエッジとノード n 7 8 のクロックの立ち上がりエッジとの時間差がより小さくなるパラメータを演算する。そして、演算した結果のパラメータを、設定信号として、出力端子 1 1 0 a および出力端子 1 1 0 c から出力する。パラメータ設定回路 1 1 0 の出力端子 1 1 0 a から出力された設定信号は、オシレータ 1 0 3 __ 5 および 1 0 3 __ 6 が出力するクロックの周波数を制御するためのパラメータとして、オシレータ 1 0 3 __ 5 および 1 0 3 __ 6 のそれぞれの入力端子 1 0 3 c に入力される。また、パラメータ設定回路 1 1 0 の出力端子 1 1 0 c から出力された設定信号は、パラメータ調節回路 1 0 7 が出力するパラメータとして、パラメータ調節回路 1 0 7 の出力端子 1 0 7 a から出力され、時間間隔変換装置 1 5 に備えたオシレータ 1 0 3 の入力端子 1 0 3 c に入力される。

【 0 1 0 9 】

なお、パラメータ設定回路 1 1 0 は、出力端子 1 1 0 a および出力端子 1 1 0 c のそれぞれから、同一のパラメータを設定信号として出力する。これにより、時間間隔変換装置 1 5 に備えたオシレータ 1 0 3 が出力するクロックの周波数と、パラメータ調節回路 1 0 7 内のオシレータ 1 0 3 __ 5 および 1 0 3 __ 6 のそれぞれが出力するクロックの周波数とは、同一の周波数になる。

【 0 1 1 0 】

次に、時間間隔変換装置 1 5 に備えたパラメータ調節回路 1 0 7 の動作について説明する。図 1 4 は、本第 1 の実施形態の内視鏡システム 1 に備えた時間間隔変換装置 1 5 におけるパラメータ調節回路 1 0 7 の動作のタイミングを示したタイミングチャートである。図 1 4 には、図 1 3 のパラメータ調節回路 1 0 7 の構成における各ノードのタイミングを示している。

【 0 1 1 1 】

まず、入力端子 ON / OFF の信号が “ H ” レベルから “ L ” レベルに切り替えてパラメータ調節回路 1 0 7 の動作を開始すると、タイミング t 1 のときに、ノード n 7 1 が “ L ” レベルから “ H ” レベルに切り替わる。これにより、ノード n 7 1 を遅延回路 1 0 2 の 1 段分の時間 Δt だけ遅延させたノード n 7 2 が、遅延回路 1 0 2 __ 1 1 から出力される。同時に、オシレータ 1 0 3 __ 5 がクロック（ノード n 7 3）の出力を開始する。また、位相比較回路 1 0 9 は、ノード n 7 3 のクロックの立ち下がりエッジとノード n 7 8 のクロックの立ち上がりエッジとの時間差を逐次検出して、時間差信号を逐次、パラメータ設定回路 1 1 0 に出力する。

【 0 1 1 2 】

その後、遅延回路 1 0 2 __ 1 2 ~ 遅延回路 1 0 2 __ 1 5 は、入力されたノード n 7 2 を順次、遅延回路 1 0 2 の 1 段分の時間 Δt だけ遅延させたノード n 7 4 ~ ノード n 7 7 を出力する。そして、タイミング t 2 のときに、遅延回路 1 0 2 __ 1 1 から出力されるノード n 7 7 が “ L ” レベルから “ H ” レベルに切り替わると、同時に、オシレータ 1 0 3 __ 6 がクロック（ノード n 7 8）の出力を開始する。タイミング t 2 からオシレータ 1 0 3 __ 6 が出力するノード n 7 8 は、ノード n 7 1 から遅延回路 1 0 2 の 5 段分の時間 $5 \Delta t$ だけ遅延させたクロックである。

【 0 1 1 3 】

このとき、パラメータ設定回路 1 1 0 は、位相比較回路 1 0 9 から逐次入力される時間

差信号に基づいて、ノード n 7 3 の立ち下がりエッジのタイミングとノード n 7 8 の立ち上がりエッジのタイミングとが一致する方向のパラメータを、オシレータ 1 0 3 __ 5 および 1 0 3 __ 6 に設定する。これにより、オシレータ 1 0 3 __ 5 および 1 0 3 __ 6 の周波数は、 $1 / (8 \Delta t)$ 、すなわち、時間 $8 \Delta t$ の周期に近づくことになる。

【 0 1 1 4 】

これは、図 1 3 に示したパラメータ調節回路 1 0 7 の構成からもわかるように、ノード n 7 2 とノード n 7 7 との時間差は、時間 $4 \Delta t$ である。従って、ノード n 7 3 の立ち下がりエッジのタイミングとノード n 7 8 の立ち上がりエッジのタイミングとの時間差も、時間 $4 \Delta t$ となる。そして、ノード n 7 8 の立ち上がりエッジのタイミングとノード n 7 3 の立ち下がりエッジのタイミングとを一致させることによって、ノード n 7 3 の半分の周期の期間も、時間 $4 \Delta t$ となる。このことから、ノード n 7 3 のクロックの周期は、時間 $8 \Delta t$ となる。また、ノード n 7 8 のクロックは、ノード n 7 3 のクロックと位相が逆で、周期が時間 $8 \Delta t$ となる。

10

【 0 1 1 5 】

なお、パラメータ設定回路 1 1 0 がオシレータ 1 0 3 __ 5 および 1 0 3 __ 6 に設定するパラメータは、オシレータ 1 0 3 が出力するクロックの周波数を制御するためのパラメータとして、パラメータ設定回路 1 1 0 の出力端子 1 1 0 c、すなわち、パラメータ調節回路 1 0 7 の出力端子 1 0 7 a から出力される。これにより、パラメータ設定回路 1 1 0 が、オシレータ 1 0 3 __ 5 および 1 0 3 __ 6 が出力するクロックの周波数を制御すると同時に、時間間隔変換装置 1 5 に備えたオシレータ 1 0 3 が出力するクロックの周波数を制御することになる。

20

【 0 1 1 6 】

また、タイミング t 2 のときに、遅延回路 1 0 2 __ 1 5 から出力されるノード n 7 7 が“ L ”レベルから“ H ”レベルに切り替わると、ノード n 7 1 が“ H ”レベルから“ L ”レベルに切り替わる。図 1 4 に示したタイミングチャートでは、NOR 回路 1 0 8 の入力端子 1 0 8 b に入力されているノード n 7 7 が変化してから、出力端子 1 0 8 c のノード n 7 1 が変化するまでの遅延時間が、時間 $2 \Delta t$ であるものとして示している。これにより、遅延回路 1 0 2 の 1 段分の時間 Δt だけ遅延して、ノード n 7 2 も“ H ”レベルから“ L ”レベルに切り替わる。そして、同時に、オシレータ 1 0 3 __ 5 がクロック (ノード n 7 3) の出力を停止する。

30

【 0 1 1 7 】

その後、遅延回路 1 0 2 __ 1 2 ~ 遅延回路 1 0 2 __ 1 5 は、入力されたノード n 7 2 を順次、遅延回路 1 0 2 の 1 段分の時間 Δt だけ遅延させたノード n 7 4 ~ ノード n 7 7 を出力する。そして、タイミング t 3 のときに、遅延回路 1 0 2 __ 1 5 から出力されるノード n 7 7 が“ H ”レベルから“ L ”レベルに切り替わると、同時に、オシレータ 1 0 3 __ 6 がクロック (ノード n 7 8) の出力を停止する。

【 0 1 1 8 】

また、タイミング t 3 のときに、遅延回路 1 0 2 __ 1 5 から出力されるノード n 7 7 が“ H ”レベルから“ L ”レベルに切り替わると、NOR 回路 1 0 8 の遅延時間 $2 \Delta t$ 後のタイミング t 4 のときに、ノード n 7 1 が再度“ L ”レベルから“ H ”レベルに切り替わる。以降、パラメータ調節回路 1 0 7 では、タイミング t 1 ~ タイミング t 4 と同様に、オシレータ 1 0 3 __ 5 および 1 0 3 __ 6 の周波数が $1 / (8 \Delta t)$ 、すなわち、時間 $8 \Delta t$ の周期になるように、パラメータ設定回路 1 1 0 によるオシレータ 1 0 3 __ 5 および 1 0 3 __ 6 へのパラメータの設定を繰り返す。

40

【 0 1 1 9 】

このように、パラメータ調節回路 1 0 7 では、NOR 回路 1 0 8 と遅延回路 1 0 2 __ 1 1 ~ 1 0 2 __ 1 5 によって、リング発振器を構成し、ノード n 7 1 の論理の切り替わりに基づいて、タイミング t 1 ~ タイミング t 4 の動作を繰り返す。そして、パラメータ調節回路 1 0 7 では、タイミング t 1 ~ タイミング t 4 の動作の繰り返しによって、ノード n 7 3 の立ち下がりエッジのタイミングとノード n 7 8 の立ち上がりエッジのタイミングと

50

が一致する方向のパラメータの設定を、オシレータ 103__5 および 103__6 に繰り返す。これにより、オシレータ 103__5 および 103__6 の周波数は $1 / (8 \Delta t)$ (周期 = 時間 $8 \Delta t$) に収束していくことになる。そして、時間間隔変換装置 15 では、このときのパラメータが、オシレータ 103 にも繰り返し設定され、オシレータ 103 の周波数も、 $1 / (8 \Delta t)$ (周期 = 時間 $8 \Delta t$) に収束していくことになる。オシレータ 103 の周波数が $1 / (8 \Delta t)$ (周期 = 時間 $8 \Delta t$) に収束していくと、時間間隔変換装置 15 では、図 10 に示したように、ノード n15 の立ち上がりエッジから時間 Δt だけ遅延したタイミングと、ノード n12 の立ち下がりエッジのタイミングとが一致することになる。

【0120】

このように、時間間隔変換装置 15 では、オシレータ 103 が出力するクロックを遅延させる遅延回路 102 と同じ遅延回路 (遅延回路 102__11 ~ 遅延回路 102__15) を用いたリング発振器を、パラメータ調節回路 107 内に構成する。そして、時間間隔変換装置 15 においてオシレータ 103 が出力するクロックと同じ周波数のクロック (ノード n73 のクロックとノード n78 のクロック) をパラメータ調節回路 107 内で生成し、生成したクロックの周波数を、周期的に調節する。そして、パラメータ調節回路 107 内でのクロックの周波数を調節するパラメータと同じパラメータの設定を、オシレータ 103 に対して行うことによって、オシレータ 103 が出力するクロックの周波数を、周期的に調節する。すなわち、オシレータ 103 が出力するクロックを用いて直接的に周波数を調節するのではなく、別途生成した同じクロックを用いて、オシレータ 103 が出力するクロックの周波数を間接的に調節する。

【0121】

このような構成によって、時間間隔変換装置 15 では、位相を離れた複数のクロックを生成し、電気パルス信号が表す時間間隔の期間内のエッジの数をカウントする。これにより、時間間隔変換装置 15 では、電気パルス信号が表す時間間隔をデジタル信号に変換する際の分解能を向上させることができる。このことにより、時間間隔変換装置 15 では、撮像部 11 が撮像した被検物内の映像のアナログの画素信号を、高い分解能でデジタルの映像信号に変換することができる。

【0122】

また、時間間隔変換装置 15 では、パラメータ調節回路 107 によって、オシレータ 103 が出力するクロックの周波数が常に一定になるように、逐次周波数を調節する。これにより、時間間隔変換装置 15 では、時間間隔変換装置 15 を使用する環境の温度や電源電圧の変動、時間間隔変換装置 15 を製造する際の個体差などに起因した、隣り合うクロックのエッジ (立ち上がりエッジおよび立ち下がりエッジ) 同士の間隔の変動 (誤差) を、逐次補正し、電気パルス信号が表す時間間隔を精度良くデジタル信号に変換することができる。

【0123】

上記に述べたとおり、本第 1 の実施形態の内視鏡システム 1 では、内視鏡スコープ 2 の先端部 5 に備えた時間変換器 12 および送信部 13 によって、撮像部 11 が撮像したアナログの画素信号の大きさを時間の長さを表す信号に変換して本体部 3 に伝送する。これにより、本第 1 の実施形態の内視鏡システム 1 では、被検物内に挿入する内視鏡スコープ 2 の先端部 5 内に、消費電力が大きい構成要素を備える必要がなく、先端部 5 の消費電力を低減し、発熱を抑えることができる。

【0124】

また、本第 1 の実施形態の内視鏡システム 1 では、本体部 3 に備えた時間間隔変換装置 15 によって、伝送された時間の長さを表す信号における時間間隔、すなわち、内視鏡スコープ 2 の先端部 5 に備えた撮像部 11 が撮像したアナログの画素信号を、2 進のデジタル信号、すなわち、デジタルの映像信号に変換する。これにより、本第 1 の実施形態の内視鏡システム 1 では、撮像部 11 が撮像したアナログの画素信号を、高い分解能で精度良くデジタルの映像信号に変換することができる。

【 0 1 2 5 】

< 第 2 の実施形態 >

次に、第 2 の実施形態の内視鏡システムについて説明する。なお、本第 2 の実施形態の内視鏡システムにおける全体の構成は、図 1 に示した第 1 の実施形態の内視鏡システム 1 の構成と同様である。従って、以下の説明においては、本第 2 の実施形態の内視鏡システムの全体の構成についての説明は省略し、本第 2 の実施形態の内視鏡システムの内部機能について、具体的に説明する。また、以下の説明においては、本第 2 の実施形態の内視鏡システムの構成要素において、図 1 に示した第 1 の実施形態の内視鏡システム 1 の構成要素、または図 2 に示した第 1 の実施形態の内視鏡システム 1 に備えた各構成要素の概略構成と同様の構成要素には、同一の符号を用いて説明する。

10

【 0 1 2 6 】

図 1 5 は、本第 2 の実施形態による内視鏡システムに備えた各構成要素の概略構成の一例を示したブロック図である。図 1 5 において、内視鏡システム 2 0 は、先端部 5 2 と、伝達部 1 0 __ 1 および伝達部 1 0 __ 2 と、本体部 3 2 と、モニタ 4 と、を備えている。図 1 5 には、本第 2 の実施形態の内視鏡システム 2 0 における内部機能の一例を示している。本第 2 の実施形態の内視鏡システム 2 0 は、図 2 に示した第 1 の実施形態の内視鏡システム 1 に備えた各構成要素の概略構成の一例において、先端部 5 に代わり先端部 5 2 を備え、本体部 3 に代わり本体部 3 2 を備えたことのみが異なる。また、この構成の違いにより、伝達部 1 0 が 2 個に分かれている。なお、図 1 5 においても、図 2 に示した第 1 の実施形態の内視鏡システム 1 の内部機能の一例と同様に、先端部 5 2 の動きの操作に係る操作部 7 を省略し、挿入部 6、操作部 7、ユニバーサルコード 8、およびコネクタ部 9 をまとめて、伝達部 1 0 __ 1 および伝達部 1 0 __ 2 として表している。

20

【 0 1 2 7 】

先端部 5 2 は、撮像部 1 1 と、2 個のサンプルホールド回路 1 7 __ 1 ~ 1 7 __ 2 と、2 個の時間変換器 1 2 __ 1 ~ 1 2 __ 2 と、2 個の送信部 1 3 __ 1 ~ 1 3 __ 2 と、を備えている。撮像部 1 1 は、撮像した被検物内の画素信号を、サンプルホールド回路 1 7 __ 1 とサンプルホールド回路 1 7 __ 2 とのそれぞれに順次出力する。なお、撮像部 1 1 は、第 1 の実施形態の内視鏡システム 1 の先端部 5 に備えた撮像部 1 1 と同様の機能および動作であるため、詳細な説明は省略する。

【 0 1 2 8 】

サンプルホールド回路 1 7 __ 1 とサンプルホールド回路 1 7 __ 2 とは、それぞれ、撮像部 1 1 から入力された画素信号を、予め定められたタイミングでサンプルホールドし、サンプルホールドした画素信号（以下、「サンプリング信号」という）を、対応する時間変換器 1 2 __ 1 または時間変換器 1 2 __ 2 に、それぞれ出力する。より具体的には、サンプルホールド回路 1 7 __ 1 は、撮像部 1 1 から入力された奇数番目の画素信号をサンプルホールドし、次の偶数番目の画素信号が撮像部 1 1 から入力されている間、サンプルホールドした奇数番目のサンプリング信号を第 1 サンプリング信号として、対応する時間変換器 1 2 __ 1 に出力する。また、サンプルホールド回路 1 7 __ 2 は、撮像部 1 1 から入力された偶数番目の画素信号をサンプルホールドし、次の奇数番目の画素信号が撮像部 1 1 から入力されている間、サンプルホールドした偶数番目のサンプリング信号を第 2 サンプリング信号として、対応する時間変換器 1 2 __ 2 に出力する。

30

40

【 0 1 2 9 】

時間変換器 1 2 __ 1 と時間変換器 1 2 __ 2 とは、それぞれ、対応するサンプルホールド回路 1 7 __ 1 またはサンプルホールド回路 1 7 __ 2 から入力されたサンプリング信号（画素信号）の大きさを、時間の長さに変換するための時間情報を、対応する送信部 1 3 __ 1 または送信部 1 3 __ 2 に、それぞれ出力する。より具体的には、時間変換器 1 2 __ 1 は、対応するサンプルホールド回路 1 7 __ 1 から入力された第 1 サンプリング信号（奇数番目の画素信号）の時間情報を、第 1 時間情報として、対応する送信部 1 3 __ 1 に出力する。また、時間変換器 1 2 __ 2 は、対応するサンプルホールド回路 1 7 __ 2 から入力された第 2 サンプリング信号（偶数番目の画素信号）の時間情報を、第 2 時間情報として、対応す

50

る送信部 13 __ 2 に出力する。なお、時間変換器 12 __ 1 および時間変換器 12 __ 2 のそれぞれは、第 1 の実施形態の内視鏡システム 1 の先端部 5 に備えた時間変換器 12 と同様の機能および動作であるため、詳細な説明は省略する。

【0130】

送信部 13 __ 1 と送信部 13 __ 2 とは、それぞれ、対応する時間変換器 12 __ 1 または時間変換器 12 __ 2 から入力された時間情報に基づいて、サンプリング信号（画素信号）の大きさをパルス幅で表す光パルス信号を、それぞれ伝送する。より具体的には、送信部 13 __ 1 は、対応する時間変換器 12 __ 1 から入力された第 1 時間情報に基づいた光パルス信号を、第 1 光パルス信号として伝送する。また、送信部 13 __ 2 は、対応する時間変換器 12 __ 2 から入力された第 2 時間情報に基づいた光パルス信号を、第 2 光パルス信号として伝送する。なお、送信部 13 __ 1 および送信部 13 __ 2 のそれぞれは、第 1 の実施形態の内視鏡システム 1 の先端部 5 に備えた送信部 13 と同様の機能および動作であるため、詳細な説明は省略する。

【0131】

伝達部 10 __ 1 と伝達部 10 __ 2 とは、それぞれ、内部に備えた光導波路によって、対応する送信部 13 __ 1 または送信部 13 __ 2 から伝送された光パルス信号を、先端部 5 2 の外部、すなわち、被検物の外部に導く（伝送する）。図 15 では、伝達部 10 __ 1 および伝達部 10 __ 2 の内部に備えた光導波路が「光ファイバ」である場合を示している。

【0132】

本体部 32 は、2 個の受信部 14 __ 1 ~ 14 __ 2 と、2 個の時間間隔変換装置 15 __ 1 ~ 15 __ 2 と、ビデオプロセッサ 16 と、を備えている。受信部 14 __ 1 と受信部 14 __ 2 とは、それぞれ、対応する伝達部 10 __ 1 または伝達部 10 __ 2 を介して送信部 13 __ 1 または送信部 13 __ 2 から伝送された光パルス信号を、電気パルス信号に変換し、対応する時間間隔変換装置 15 __ 1 または時間間隔変換装置 15 __ 2 に、それぞれ出力する。より具体的には、受信部 14 __ 1 は、対応する伝達部 10 __ 1 を介して送信部 13 __ 1 から伝送された第 1 光パルス信号を変換した電気パルス信号を、第 1 電気パルス信号として、対応する時間間隔変換装置 15 __ 1 に出力する。また、受信部 14 __ 2 は、対応する伝達部 10 __ 2 を介して送信部 13 __ 2 から伝送された第 2 光パルス信号を変換した電気パルス信号を、第 2 電気パルス信号として、対応する時間間隔変換装置 15 __ 2 に出力する。なお、受信部 14 __ 1 および受信部 14 __ 2 のそれぞれは、第 1 の実施形態の内視鏡システム 1 の本体部 3 に備えた受信部 14 と同様の機能および動作であるため、詳細な説明は省略する。

【0133】

時間間隔変換装置 15 __ 1 と時間間隔変換装置 15 __ 2 とは、それぞれ、対応する受信部 14 __ 1 または受信部 14 __ 2 から入力された電気パルス信号に基づいて、電気パルス信号が表す時間間隔をデジタル信号に変換し、ビデオプロセッサ 16 に出力する。より具体的には、時間間隔変換装置 15 __ 1 は、対応する受信部 14 __ 1 から入力された第 1 電気パルス信号が表す時間間隔を変換したデジタル信号を、第 1 デジタル信号として、ビデオプロセッサ 16 に出力する。また、時間間隔変換装置 15 __ 2 は、対応する受信部 14 __ 2 から入力された第 2 電気パルス信号が表す時間間隔を変換したデジタル信号を、第 2 デジタル信号として、ビデオプロセッサ 16 に出力する。なお、時間間隔変換装置 15 __ 1 および時間間隔変換装置 15 __ 2 のそれぞれは、第 1 の実施形態の内視鏡システム 1 の本体部 3 に備えた時間間隔変換装置 15 と同様の機能および動作であるため、詳細な説明は省略する。

【0134】

ビデオプロセッサ 16 は、時間間隔変換装置 15 __ 1 および時間間隔変換装置 15 __ 2 から入力された第 1 デジタル信号および第 2 デジタル信号を処理し、第 1 デジタル信号と第 2 デジタル信号とを合わせたデジタル信号に基づいた画像、すなわち、先端部 5 2 の撮像部 11 が撮像した被検物内の映像を、モニタ 4 に表示させる。

【0135】

10

20

30

40

50

次に、本第2の実施形態の内視鏡システム20の動作について説明する。図16は、本第2の実施形態の内視鏡システム20におけるそれぞれの信号の関係を示したタイミングチャートである。図16において、「画素信号」は、撮像部11が出力する被検物内の映像に応じた画素信号（アナログの電気信号）の一例を示している。図16には、撮像部11から4つの画素の画素信号（画素信号P1～P4）が順次出力される場合のタイミングを示している。また、「第1光パルス信号」は、送信部13_1が伝送する光パルス信号の一例を示し、「第2光パルス信号」は、送信部13_2が伝送する光パルス信号の一例を模式的に示している。また、「第1電気パルス信号」は、伝達部10_1を介して伝送された第1光パルス信号を、受信部14_1が電気信号に変換して時間間隔変換装置15_1に出力する電気パルス信号の一例を示し、「第2電気パルス信号」は、伝達部10_2を介して伝送された第2光パルス信号を、受信部14_2が電気信号に変換して時間間隔変換装置15_2に出力する電気パルス信号の一例を示している。

10

20

30

40

50

【0136】

撮像部11は、それぞれの画素が撮像した映像の光量（光強度）に応じたそれぞれの大きさ（電圧）の画素信号（画素信号P1～P4）を順次出力する。そして、サンプルホールド回路17_1は、撮像部11が出力した奇数番目の画素信号P1または画素信号P3をサンプルホールドし、次の偶数番目の画素信号P2または画素信号P4が撮像部11から入力されている間、第1サンプリング信号として出力する。また、サンプルホールド回路17_2は、撮像部11が出力した偶数番目の画素信号P2または画素信号P4をサンプルホールドし、次の奇数番目の画素信号P3または画素信号P5が撮像部11から入力されている間、第2サンプリング信号として出力する。

【0137】

そして、時間変換器12_1は、サンプルホールド回路17_1が出力した第1サンプリング信号の電圧値の大きさに応じた、それぞれの第1時間情報（パルス信号）を生成し、送信部13_1は、時間変換器12_1がそれぞれ生成した第1時間情報に対応したパルス幅の第1光パルス信号を生成する。また、時間変換器12_2は、サンプルホールド回路17_2が出力した第2サンプリング信号の電圧値の大きさに応じた、それぞれの第2時間情報（パルス信号）を生成し、送信部13_2は、時間変換器12_2がそれぞれ生成した第2時間情報に対応したパルス幅の第2光パルス信号を生成する。

【0138】

図16に示した光パルス信号の一例では、サンプリング信号（画素信号）の電圧値が小さい程“H”レベルのパルス幅が広く、サンプリング信号（画素信号）の電圧値が大きい程“H”レベルのパルス幅が狭い、光パルス信号を生成する場合を示している。すなわち、図16に示した光パルス信号の一例では、それぞれのパルスの立ち上がりエッジのタイミングから立ち下がりエッジのタイミングまでの時間が、それぞれのサンプリング信号（画素信号P1～P4）の電圧値の大きさを表している。

【0139】

送信部13_1は、時間変換器12_1が出力した第1時間情報に基づいて生成した第1光パルス信号を、本体部32に伝送する。また、送信部13_2は、時間変換器12_2が出力した第2時間情報に基づいて生成した第2光パルス信号を、本体部32に伝送する。送信部13_1が伝送した第1光パルス信号は、伝達部10_1を介して受信部14_1に到達し、受信部14_1によって第1電気パルス信号に変換されて、時間間隔変換装置15_1に入力される。また、送信部13_2が伝送した第2光パルス信号は、伝達部10_2を介して受信部14_2に到達し、受信部14_2によって第2電気パルス信号に変換されて、時間間隔変換装置15_2に入力される。これにより、時間変換器12_1が出力した第1時間情報（パルス信号）のそれぞれが、一定の時間遅延して時間間隔変換装置15_1に順次入力され、時間変換器12_2が出力した第2時間情報（パルス信号）のそれぞれが、一定の時間遅延して時間間隔変換装置15_2に順次入力されることになる。

【0140】

時間間隔変換装置 15 __ 1 は、入力された第 1 電気パルス信号の立ち上がりエッジと立ち下がりエッジの時間幅（時間間隔）、すなわち、奇数番目の画素信号 P 1 または画素信号 P 3 のそれぞれの画素信号の電圧値の大きさを、2 進の第 1 のデジタル信号にそれぞれ変換してビデオプロセッサ 16 に順次出力する。また、時間間隔変換装置 15 __ 2 は、入力された第 2 電気パルス信号の立ち上がりエッジと立ち下がりエッジの時間幅（時間間隔）、すなわち、偶数番目の画素信号 P 2 または画素信号 P 4 のそれぞれの画素信号の電圧値の大きさを、2 進の第 2 のデジタル信号にそれぞれ変換してビデオプロセッサ 16 に順次出力する。

【0141】

そして、ビデオプロセッサ 16 は、時間間隔変換装置 15 __ 1 および時間間隔変換装置 15 __ 2 から順次入力された第 1 デジタル信号と第 2 デジタル信号とを合わせたデジタル信号を処理した画像を、モニタ 4 に表示させる。

【0142】

上記に述べたとおり、本第 2 の実施形態の内視鏡システム 20 では、撮像部 11 から入力された画素信号をサンプルホールドすることによって、奇数番目と偶数番目との画素信号を並列に処理する。これにより、時間変換器 12 __ 1 と時間変換器 12 __ 2 とが、画素信号の大きさをそれぞれ時間情報に変換する際の時間幅（時間間隔）を長くすることができる。このことにより、本体部 32 に備えた時間間隔変換装置 15 が、伝送された時間情報をデジタル信号に変換する際の有効なビット数を増やすことができる。これにより、本第 2 の実施形態の内視鏡システム 20 では、デジタル信号の分解能を向上し、アナログの画素信号をデジタルの映像信号に変換する際の信号品質の向上を図ることができる。

【0143】

なお、本第 2 の実施形態の内視鏡システム 20 では、撮像部 11 から入力された画素信号をサンプルホールドすることによって、奇数番目と偶数番目との画素信号を並列に処理する場合について説明した。すなわち、先端部 52 に、2 個のサンプルホールド回路 17 __ 1 ~ 17 __ 2 と、2 個の時間変換器 12 __ 1 ~ 12 __ 2 と、2 個の送信部 13 __ 1 ~ 13 __ 2 と、を備え、本体部 32 に、2 個の受信部 14 __ 1 ~ 14 __ 2 と、2 個の時間間隔変換装置 15 __ 1 ~ 15 __ 2 と、を備えた場合について説明した。しかし、並列に処理する画素信号は、奇数番目と偶数番目とに限定されるものではなく、さらに多くの画素信号を並列に処理する構成にすることもできる。この場合には、並列に処理する画素信号の数に応じて、先端部 52 に備えるサンプルホールド回路 17 と、時間変換器 12 と、送信部 13 の数、および本体部 32 に備える受信部 14 と時間間隔変換装置 15 との数を変更し、ビデオプロセッサ 16 は、それぞれの時間間隔変換装置 15 から順次入力されたそれぞれのデジタル信号を合わせて処理をする。これにより、本体部 32 に備えた時間間隔変換装置 15 が、伝送された時間情報をデジタル信号に変換する際の有効なビット数を増やすことができ、デジタル信号の分解能をさらに向上し、アナログの画素信号をデジタルの映像信号に変換する際の信号品質のさらなる向上を図ることができる。

【0144】

< 第 3 の実施形態 >

次に、第 3 の実施形態の内視鏡システムについて説明する。なお、本第 3 の実施形態の内視鏡システムにおける全体の構成は、図 1 に示した第 1 の実施形態の内視鏡システム 1 の構成と同様である。従って、以下の説明においては、本第 3 の実施形態の内視鏡システムの全体の構成についての説明は省略し、本第 3 の実施形態の内視鏡システムの内部機能について、具体的に説明する。また、以下の説明においては、本第 3 の実施形態の内視鏡システムの構成要素において、図 1 に示した第 1 の実施形態の内視鏡システム 1 の構成要素、または図 2 に示した第 1 の実施形態の内視鏡システム 1 に備えた各構成要素の概略構成と同様の構成要素には、同一の符号を用いて説明する。

【0145】

図 17 は、本第 3 の実施形態による内視鏡システムに備えた各構成要素の概略構成の一例を示したブロック図である。図 17 において、内視鏡システム 30 は、先端部 53 と、

10

20

30

40

50

伝達部 10 と、本体部 33 と、モニタ 4 と、を備えている。図 17 には、本第 3 の実施形態の内視鏡システム 30 における内部機能の一例を示している。本第 3 の実施形態の内視鏡システム 30 は、図 2 に示した第 1 の実施形態の内視鏡システム 1 に備えた各構成要素の概略構成の一例において、先端部 5 に代わり先端部 53 を備え、本体部 3 に代わり本体部 33 を備えたことのみが異なる。なお、図 17 においても、図 2 に示した第 1 の実施形態の内視鏡システム 1 の内部機能の一例と同様に、先端部 53 の動きの操作に係る操作部 7 を省略し、挿入部 6、操作部 7、ユニバーサルコード 8、およびコネクタ部 9 をまとめて、伝達部 10 として表している。

【0146】

先端部 53 は、撮像部 11 と、時間変換器 19 と、送信部 21 と、を備えている。撮像部 11 は、撮像した被検物内の画素信号を、時間変換器 19 に出力する。なお、撮像部 11 は、第 1 の実施形態の内視鏡システム 1 の先端部 5 に備えた撮像部 11 と同様の機能および動作であるため、詳細な説明は省略する。

【0147】

時間変換器 19 は、撮像部 11 から入力された画素信号の大きさを、異なる複数の時間の長さに変換するための複数の時間情報を、それぞれ送信部 21 に出力する。より具体的には、時間変換器 19 は、撮像部 11 から入力された画素信号の大きさを、異なる複数の時間幅（時間間隔）で表すための複数のパルス信号を生成する。図 17 に示した内視鏡システム 30 における時間変換器 19 は、画素信号の大きさを 5 種類の時間情報で表す場合の一例を示している。

【0148】

時間変換器 19 には、撮像部 11 から出力された画素信号が入力端子 19a に入力され、入力された画素信号の大きさに応じた時間間隔が開始されるタイミングを表すパルス信号を、出力端子 19b から出力する。また、時間変換器 19 は、入力された画素信号の大きさに応じた時間間隔が終了されるタイミングを表す 5 種類のパルス信号を、出力端子 19c ~ 出力端子 19g からそれぞれ出力する。ここで、時間変換器 19 は、出力端子 19d ~ 出力端子 19g のそれぞれから出力するパルス信号が表す時間幅が、出力端子 19c から出力するパルス信号が表す時間幅に対して、それぞれ 2 倍、3 倍、4 倍、および 5 倍の時間幅となるように構成されている。なお、時間変換器 19 の構成、および時間変換器 19 による画素信号から 5 種類の時間情報を生成する方法に関する詳細な説明は、後述する。

【0149】

送信部 21 は、時間変換器 19 から入力された時間情報に基づいて、画素信号の大きさをパルス幅で表す光パルス信号を伝送する。より具体的には、送信部 21 は、時間変換器 19 から入力された 5 種類の時間情報に基づいて、1 つの光パルス信号を生成し、生成した光パルス信号を伝送する。なお、送信部 21 による複数の時間情報から 1 つの光パルス信号を生成する方法に関する詳細な説明は、後述する。

【0150】

伝達部 10 は、内部に備えた光導波路によって、送信部 21 から伝送された光パルス信号を、先端部 53 の外部、すなわち、被検物の外部に導く（伝送する）。図 17 では、図 2 に示した第 1 の実施形態の内視鏡システム 1 における伝達部 10 と同様に、伝達部 10 の内部に備えた光導波路が「光ファイバ」である場合を示している。

【0151】

本体部 33 は、受信部 22 と、5 個の時間間隔変換装置 15 __ 1 ~ 15 __ 5 と、選択装置 23 と、ビデオプロセッサ 16 と、を備えている。なお、以下の説明においては、時間間隔変換装置 15 __ 1 ~ 15 __ 5 のいずれか 1 つの時間間隔変換装置を示すときには、「時間間隔変換装置 15」という。受信部 22 は、伝達部 10 を介して送信部 21 から伝送された光パルス信号を、異なる複数の時間の長さで表される複数の電気パルス信号に変換し、変換したそれぞれの電気パルス信号を、対応する時間間隔変換装置 15 のそれぞれに出力する。図 17 に示した内視鏡システム 30 における受信部 22 は、画素信号の大きさ

を表した 5 種類の電気パルス信号を、対応する時間間隔変換装置 15 __ 1 ~ 15 __ 5 のそれぞれに出力する場合の一例を示している。なお、受信部 22 は、複数の電気パルス信号をそれぞれ出力する以外は、第 1 の実施形態の内視鏡システム 1 の本体部 3 に備えた受信部 14 と同様であるため、詳細な説明は省略する。

【0152】

時間間隔変換装置 15 __ 1 ~ 15 __ 5 のそれぞれは、受信部 22 から入力された対応する電気パルス信号に基づいて、電気パルス信号が表す時間間隔を 2 進のデジタル信号に変換し、変換したデジタル信号を、それぞれ選択装置 23 に出力する。時間間隔変換装置 15 __ 1 ~ 15 __ 5 のそれぞれは、時間変換器 19 のその出力端子から出力されるパルス信号が表す 5 種類の時間幅のそれぞれに対応している。図 17 に示した内視鏡システム 30 における時間間隔変換装置 15 __ 1 ~ 15 __ 5 は、時間変換器 19 が出力する 5 種類の時間情報のそれぞれに対応した構成の一例を示している。

10

【0153】

より具体的には、時間間隔変換装置 15 __ 1 は、時間変換器 19 の出力端子 19 b と出力端子 19 c から出力される時間情報（パルス信号）の時間幅に対応し、1 倍の時間幅を表すデジタル信号を出力する。また、時間間隔変換装置 15 __ 2 は、時間変換器 19 の出力端子 19 b と出力端子 19 d から出力される時間情報（パルス信号）の時間幅に対応し、2 倍の時間幅を表すデジタル信号を出力する。また、時間間隔変換装置 15 __ 3 は、時間変換器 19 の出力端子 19 b と出力端子 19 e から出力される時間情報（パルス信号）の時間幅に対応し、3 倍の時間幅を表すデジタル信号を出力する。また、時間間隔変換装置 15 __ 4 は、時間変換器 19 の出力端子 19 b と出力端子 19 f から出力される時間情報（パルス信号）の時間幅に対応し、4 倍の時間幅を表すデジタル信号を出力する。また、時間間隔変換装置 15 __ 5 は、時間変換器 19 の出力端子 19 b と出力端子 19 g から出力される時間情報（パルス信号）の時間幅に対応し、5 倍の時間幅を表すデジタル信号を出力する。なお、時間間隔変換装置 15 __ 1 ~ 15 __ 5 のそれぞれは、第 1 の実施形態の内視鏡システム 1 の本体部 3 に備えた時間間隔変換装置 15 と同様の機能および動作であるため、詳細な説明は省略する。

20

【0154】

選択装置 23 は、時間間隔変換装置 15 __ 1 ~ 15 __ 5 のそれぞれから入力された複数のデジタル信号の中から、予め定めた映像信号の処理期間内に変換を完了したデジタル信号の内、変換前の時間間隔が最長であるデジタル信号を選択し、選択したデジタル信号を処理してビデオプロセッサ 16 に出力する。図 17 に示した内視鏡システム 30 における選択装置 23 は、画素信号の大きさを表す 5 種類のデジタル信号から 1 つのデジタル信号を選択する構成の一例を示している。選択装置 23 による選択したデジタル信号に対する処理は、時間間隔変換装置 15 __ 1 ~ 15 __ 5 のいずれの時間間隔変換装置 15 から入力されたデジタル信号を選択した場合でも、同じ大きさの画素信号を表すデジタル信号を同じ尺度で処理することができるようにするための処理である。これにより、同じ大きさの画素信号を表すデジタル信号が、いずれの時間間隔変換装置 15 から出力された場合でも、選択装置 23 から同じデジタル信号が出力され、ビデオプロセッサ 16 は、同じ処理でデジタル信号に基づいた画像をモニタ 4 に表示させることができる。

30

40

【0155】

より具体的には、選択装置 23 が、時間間隔変換装置 15 __ 1 から入力されたデジタル信号を、例えば、予め定めた一定の倍率である 60 倍したデジタル信号、すなわち、1 倍の時間幅のデジタル信号を、1 倍 ~ 5 倍の時間幅の最小公倍数である 60 倍にしたデジタル信号を、ビデオプロセッサ 16 に出力するデジタル信号とする場合の処理を考える。このとき、選択装置 23 が、時間間隔変換装置 15 __ 1 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、時間変換器 19 が出力した 1 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 60 倍してビデオプロセッサ 16 に出力する。また、選択装置 23 が、時間間隔変換装置 15 __ 2 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、時

50

間変換器 19 が出力した 2 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 30 倍してビデオプロセッサ 16 に出力する。また、選択装置 23 が、時間間隔変換装置 15 __ 3 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、時間変換器 19 が出力した 3 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 20 倍してビデオプロセッサ 16 に出力する。また、選択装置 23 が、時間間隔変換装置 15 __ 4 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、時間変換器 19 が出力した 4 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 15 倍してビデオプロセッサ 16 に出力する。また、選択装置 23 が、時間間隔変換装置 15 __ 5 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、時間変換器 19 が出力した 5 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 12 倍してビデオプロセッサ 16 に出力する。これにより、選択装置 23 からビデオプロセッサ 16 に出力するデジタル信号は、時間間隔変換装置 15 __ 1 ~ 15 __ 5 のいずれの時間間隔変換装置 15 の信号が選択された場合でも、同じ尺度の画素信号を表すデジタル信号となる。

10

20

30

40

50

【0156】

このように、選択装置 23 が、時間変換器 19 が時間情報を出力する際の特性（倍率）に応じた通倍処理を、出力するデジタル信号に対して行うことによって、ビデオプロセッサ 16 では、時間間隔変換装置 15 __ 1 ~ 15 __ 5 のいずれの時間間隔変換装置 15 から出力されたデジタル信号であっても、同じ尺度で処理することができる。なお、選択装置 23 による 5 種類のデジタル信号から 1 つのデジタル信号を選択する方法に関する詳細な説明は、後述する。

【0157】

ビデオプロセッサ 16 は、選択装置 23 から入力されたデジタル信号を処理し、デジタル信号に基づいた画像、すなわち、先端部 53 の撮像部 11 が撮像した被検物内の映像を、モニタ 4 に表示させる。

【0158】

ここで、先端部 53 に備えた時間変換器 19 および送信部 21 による、撮像部 11 から入力された画素信号の大きさを、5 種類の時間の長さに変換して伝送する方法、および本体部 33 に備えた選択装置 23 による、5 種類のデジタル信号から 1 つのデジタル信号を選択する方法の具体的な例について説明する。

【0159】

< 画素信号の大きさの 5 種類の時間の長さへの変換方法の一例 >

まず、本第 3 の実施形態の内視鏡システム 30 における内視鏡スコープ 2 の先端部 53 に備えることが想定される時間変換器 19 の一例について説明する。図 18 は、本第 3 の実施形態の内視鏡システム 30 に備えた時間変換器 19 の概略構成の一例を示したブロック図である。図 18 には、50 個の反転回路が直列に接続された時間変換器 19 の構成の一例を示している。図 18 において、時間変換器 19 は、パルス発生器 180 と、50 個の反転回路 18 __ 1 ~ 18 __ 50 と、を備えている。時間変換器 19 は、図 4 に示した第 1 の実施形態の内視鏡システム 1 に備えることが想定される時間変換器 12 の反転回路 18 の個数を増加し、10 個の反転回路 18 の毎に OUT パルス信号を出力することのみが異なる。従って、以下の説明においては、時間変換器 12 と同様の機能および動作である構成要素には同一の符号を用い、時間変換器 19 のそれぞれの構成要素の詳細な説明は省略する。なお、反転回路 18 __ 1 ~ 18 __ 50 のいずれか 1 つの反転回路を示すときには、図 4 に示した時間変換器 12 と同様に、「反転回路 18」という。

【0160】

パルス発生器 180 は、撮像部 11 に備えた固体撮像装置のそれぞれの画素に対応した画素信号が時間変換器 19 に入力される毎に、入力されたそれぞれの画素の画素信号の時間への変換を開始するための IN パルス信号を出力する。

【0161】

全ての反転回路 18 の電源端子 18 c には、時間変換器 19 の入力端子 19 a に入力された画素信号が、電源 V i n として入力される。それぞれの反転回路 18 は、入力端子 18 a に入力された I N パルス信号、または前段の反転回路 18 の出力信号を反転（論理否定）した信号を、電源端子 18 c に入力された電源 V i n の電圧値に応じた遅延時間だけ遅延させて、出力端子 18 b から出力する。

【0162】

これにより、反転回路 18 __ 10 の出力端子 18 b から、I N パルス信号を 10 段分遅延させた第 1 O U T パルス信号が出力される。また、反転回路 18 __ 20 の出力端子 18 b から、I N パルス信号を 20 段分遅延させた、すなわち、第 1 O U T パルス信号の 2 倍の遅延時間の第 2 O U T パルス信号が出力される。また、反転回路 18 __ 30 の出力端子 18 b から、I N パルス信号を 30 段分遅延させた、すなわち、第 1 O U T パルス信号の 3 倍の遅延時間の第 3 O U T パルス信号が出力される。また、反転回路 18 __ 40 の出力端子 18 b から、I N パルス信号を 40 段分遅延させた、すなわち、第 1 O U T パルス信号の 4 倍の遅延時間の第 4 O U T パルス信号が出力される。また、反転回路 18 __ 50 の出力端子 18 b から、I N パルス信号を 50 段分遅延させた、すなわち、第 1 O U T パルス信号の 5 倍の遅延時間の第 5 O U T パルス信号が出力される。

【0163】

時間変換器 19 は、パルス発生器 180 が出力した I N パルス信号と、反転回路 18 __ 10 が出力した第 1 O U T パルス信号と、反転回路 18 __ 20 が出力した第 2 O U T パルス信号と、反転回路 18 __ 30 が出力した第 3 O U T パルス信号と、反転回路 18 __ 40 が出力した第 4 O U T パルス信号と、反転回路 18 __ 50 が出力した第 5 O U T パルス信号とを、撮像部 11 から入力された画素信号の大きさを時間の長さに変換するための時間情報として、出力端子 19 b ~ 出力端子 19 g から出力する。

【0164】

なお、時間変換器 19 の出力端子 19 b から出力する I N パルス信号は、入力された画素信号の大きさに応じた時間間隔が開始されるタイミングを表すパルス信号であり、出力端子 19 c ~ 出力端子 19 g からそれぞれ出力する第 1 O U T パルス信号 ~ 第 5 O U T パルス信号は、入力された画素信号の大きさに応じた時間間隔が終了されるタイミングをそれぞれ表すパルス信号である。以下の説明においては、第 1 O U T パルス信号 ~ 第 5 O U T パルス信号のいずれか 1 つの O U T パルス信号を示すときには、単に「O U T パルス信号」という。

【0165】

このような構成によって、時間変換器 19 は、画素信号の大きさを表した 5 種類の時間情報、すなわち、出力端子 19 c から出力するパルス信号が表す時間幅を 1 倍としたとき、1 倍 ~ 5 倍の時間幅となる 5 種類の時間情報を、出力端子 19 b ~ 出力端子 19 g から出力する。

【0166】

次に、本第 3 の実施形態の内視鏡システム 30 において、時間情報に基づいた画素信号の大きさをパルス幅で表す光パルス信号の生成方法について説明する。図 19 は、本第 3 の実施形態の内視鏡システム 30 における光パルス信号の生成方法を示したタイミングチャートである。図 19 には、撮像部 11 から入力された 1 つの画素の画素信号に対応した光パルス信号を生成する場合のタイミングを示している。

【0167】

図 19 に示したように、時間変換器 19 は、撮像部 11 から時間に変換すべき画素信号が、電源 V i n として時間変換器 19 の入力端子 19 a に入力された後、パルス発生器 180 が出力した I N パルス信号を、時間情報として出力端子 19 b から出力する。また、図 19 に示したように、時間変換器 19 は、反転回路 18 __ 10 が出力した第 1 O U T パルス信号と、反転回路 18 __ 20 が出力した第 2 O U T パルス信号と、反転回路 18 __ 30 が出力した第 3 O U T パルス信号と、反転回路 18 __ 40 が出力した第 4 O U T パルス信号と、最終段の反転回路 18 __ 50 が出力した第 5 O U T パルス信号とを、時間情報と

して出力端子 19c ~ 出力端子 19g から出力する。

【0168】

ここで、時間変換器 19 が出力した IN パルス信号の立ち上がりエッジのタイミングと、第 1 OUT パルス信号の立ち上がりエッジのタイミングとの時間差を変換時間 D であるとする、IN パルス信号の立ち上がりエッジのタイミングと、第 2 OUT パルス信号 ~ 第 5 OUT パルス信号のそれぞれの立ち上がりエッジのタイミングとの時間差は、それぞれ変換時間 D の 2 倍 ~ 5 倍となる。

【0169】

送信部 21 は、時間変換器 19 から入力された IN パルス信号と、第 1 OUT パルス信号 ~ 第 5 OUT パルス信号とに応じて、それぞれの変換時間をパルス幅で表した光パルス信号を生成する。図 19 では、送信部 21 が、IN パルス信号および第 1 OUT パルス信号 ~ 第 5 OUT パルス信号の立ち上がりエッジのタイミング毎に、発光と消光とを繰り返すことによって、1 チャンネルで全て (5 種類) の時間情報を備えた光パルス信号を生成する場合を示している。より具体的には、IN パルス信号の立ち上がりエッジのタイミングで 1 回目の発光、第 1 OUT パルス信号の立ち上がりエッジのタイミングで 1 回目の消光、第 2 OUT パルス信号の立ち上がりエッジのタイミングで 2 回目の発光、第 3 OUT パルス信号の立ち上がりエッジのタイミングで 2 回目の消光、第 4 OUT パルス信号の立ち上がりエッジのタイミングで 3 回目の発光、第 5 OUT パルス信号の立ち上がりエッジのタイミングで 3 回目の消光を行うことによって、1 チャンネルで全ての時間情報を備えた光パルス信号を生成する。

10

20

【0170】

そして、受信部 22 は、伝達部 10 を介して送信部 21 から伝送された光パルス信号を、5 種類の電気パルス信号に変換し、変換した 5 種類の電気パルス信号を、それぞれ対応する時間間隔変換装置 15 に出力する。より具体的には、受信部 22 は、光パルス信号の 1 回目の発光から 1 回目の消光までのタイミングを表す電気パルス信号、すなわち、変換時間 D を表す電気パルス信号を、時間間隔変換装置 15 __ 1 に出力する。また、受信部 22 は、光パルス信号の 1 回目の発光から 2 回目の発光までのタイミングを表す電気パルス信号、すなわち、変換時間 D の 2 倍の変換時間 $D \times 2$ を表す電気パルス信号を、時間間隔変換装置 15 __ 2 に出力する。また、受信部 22 は、光パルス信号の 1 回目の発光から 2 回目の消光までのタイミングを表す電気パルス信号、すなわち、変換時間 D の 3 倍の変換時間 $D \times 3$ を表す電気パルス信号を、時間間隔変換装置 15 __ 3 に出力する。また、受信部 22 は、光パルス信号の 1 回目の発光から 3 回目の発光までのタイミングを表す電気パルス信号、すなわち、変換時間 D の 4 倍の変換時間 $D \times 4$ を表す電気パルス信号を、時間間隔変換装置 15 __ 4 に出力する。また、受信部 22 は、光パルス信号の 1 回目の発光から 3 回目の消光までのタイミングを表す電気パルス信号、すなわち、変換時間 D の 5 倍の変換時間 $D \times 5$ を表す電気パルス信号を、時間間隔変換装置 15 __ 5 に出力する。

30

40

【0171】

なお、図 19 では、時間変換器 19 が IN パルス信号および第 1 OUT パルス信号 ~ 第 5 OUT パルス信号を全て出力する、すなわち、5 種類の時間情報を全て出力する場合のタイミングチャートを示した。しかし、実際には、時間に変換すべき複数の画素信号が、画素毎に撮像部 11 から順次入力されてくるため、時間変換器 19 が、入力された画素信号の大きさに基づいて時間情報を出力するために使うことができる時間は、画素信号の大きさに係わらず同じ時間である。すなわち、時間変換器 19 が 1 つの画素の画素信号の大きさに応じた時間情報を出力するために使用することができる時間は、予め定めた期間 (以下、「映像信号処理期間」という) 内に限定される。このため、例えば、画素信号 (電源 Vin) の電圧値が小さい場合には、パルス発生器 180 が出力した IN パルス信号が、時間変換器 19 に備えた全ての反転回路 18 を通過せず、第 1 OUT パルス信号 ~ 第 5 OUT パルス信号の全ての OUT パルス信号を出力することができないこともある。

【0172】

そこで、時間変換器 19 には、映像信号処理期間が経過する毎に、現在入力されている

50

画素信号の時間情報への変換の処理をリセットする機能を備える。そして、時間変換器 19 は、5 種類の時間情報を全て出力していない場合でも、映像信号処理期間の周期毎にリセットを行い、次に入力される画素信号の時間情報への変換処理の準備を行う。これにより、時間変換器 19 は、映像信号処理期間の周期毎に、IN パルス信号と、IN パルス信号が通過した反転回路 18 までの OUT パルス信号とを、時間情報として出力する。

【0173】

これにより、時間間隔変換装置 15 __ 1 ~ 15 __ 5 の中には、受信部 22 から電気パルス信号が入力されない時間間隔変換装置 15 が存在することもある。このため、選択装置 23 が、時間間隔変換装置 15 __ 1 ~ 15 __ 5 のそれぞれから入力された複数のデジタル信号の中から、映像信号処理期間内に得られた最大のデジタル信号を選択してビデオプロセッサ 16 に出力する。

10

【0174】

< 5 種類の時間の長さ（時間間隔）を変換したデジタル信号の選択方法の一例 >

続いて、本第 3 の実施形態の内視鏡システム 30 における本体部 3 に備えた選択装置 23 によるデジタル信号の選択方法の一例について説明する。図 20 は、本第 3 の実施形態の内視鏡システム 30 に備えた選択装置 23 によるデジタル信号の選択方法を説明する図である。図 20 には、時間変換器 19 が時間情報に変換する画素信号（電源 Vin）と変換時間 D との関係を示している。

【0175】

図 20 に示したように、時間変換器 19 は、1 次の分数関数を有する 5 種類の入出力特性を持っていることになる。そして、時間変換器 19 の映像信号処理期間を、時間変換器 19 の入出力特性に重ね合わせると、図 20 に示したように、画素信号（電源 Vin）の電圧値の大きさの範囲によって、5 個の領域（領域 M1 ~ M5）に分けることができる。

20

【0176】

より具体的には、図 20 に示したように、画素信号（電源 Vin）の電圧値が最も大きい領域 M1 では、映像信号処理期間内に全ての反転回路 18 を IN パルス信号が通過するため、時間変換器 19 は、映像信号処理期間内に全ての時間情報（第 1 OUT パルス信号 ~ 第 5 OUT パルス信号）を出力する。また、画素信号（電源 Vin）の電圧値が少し小さくなった領域 M2 では、映像信号処理期間内に少なくとも反転回路 18 __ 40 までを IN パルス信号が通過することによって、時間変換器 19 は、映像信号処理期間内に 4 種類の時間情報（第 1 OUT パルス信号 ~ 第 4 OUT パルス信号）を出力する。また、画素信号（電源 Vin）の電圧値がさらに小さくなった領域 M3 では、映像信号処理期間内に少なくとも反転回路 18 __ 30 までを IN パルス信号が通過することによって、時間変換器 19 は、映像信号処理期間内に 3 種類の時間情報（第 1 OUT パルス信号 ~ 第 3 OUT パルス信号）を出力する。また、画素信号（電源 Vin）の電圧値がさらに小さくなった領域 M4 では、映像信号処理期間内に少なくとも反転回路 18 __ 20 までを IN パルス信号が通過することによって、時間変換器 19 は、映像信号処理期間内に 2 種類の時間情報（第 1 OUT パルス信号および第 2 OUT パルス信号）を出力する。また、画素信号（電源 Vin）の電圧値が最も小さい領域 M5 では、映像信号処理期間内に少なくとも反転回路 18 __ 10 までしか IN パルス信号が通過することができず、時間変換器 19 は、映像信号処理期間内に 1 種類の時間情報（第 1 OUT パルス信号）のみを出力する。

30

40

【0177】

このように、時間変換器 19 は、画素信号（電源 Vin）の電圧値に応じて、異なる数の時間情報を出力することになり、全ての時間間隔変換装置 15 に、受信部 22 から電気パルス信号が入力されることにはならない。このため、選択装置 23 には、全ての時間間隔変換装置 15 からデジタル信号が入力されることにはならない。

【0178】

選択装置 23 は、時間間隔変換装置 15 __ 1 から時間間隔変換装置 15 __ 5 の順に変換したデジタル信号を受け、映像信号処理期間内に最後に受けた時間間隔変換装置からのデジタル信号を選択する。より具体的には、選択装置 23 は、全ての時間間隔変換装置 15

50

からデジタル信号が入力された場合、すなわち、画素信号（電源 V i n）の電圧値が領域 M 1 の範囲内の電圧値である場合には、時間間隔変換装置 1 5 __ 5 から入力されたデジタル信号を選択する。また、選択装置 2 3 は、時間間隔変換装置 1 5 __ 1 ~ 1 5 __ 4 のそれぞれからデジタル信号が入力された場合、すなわち、画素信号（電源 V i n）の電圧値が領域 M 2 の範囲内の電圧値である場合には、時間間隔変換装置 1 5 __ 4 から入力されたデジタル信号を選択する。また、選択装置 2 3 は、時間間隔変換装置 1 5 __ 1 ~ 1 5 __ 3 のそれぞれからデジタル信号が入力された場合、すなわち、画素信号（電源 V i n）の電圧値が領域 M 3 の範囲内の電圧値である場合には、時間間隔変換装置 1 5 __ 3 から入力されたデジタル信号を選択する。また、選択装置 2 3 は、時間間隔変換装置 1 5 __ 1 および時間間隔変換装置 1 5 __ 2 のそれぞれからデジタル信号が入力された場合、すなわち、画素信号（電源 V i n）の電圧値が領域 M 4 の範囲内の電圧値である場合には、時間間隔変換装置 1 5 __ 2 から入力されたデジタル信号を選択する。また、選択装置 2 3 は、時間間隔変換装置 1 5 __ 1 のみからデジタル信号が入力された場合、すなわち、画素信号（電源 V i n）の電圧値が領域 M 5 の範囲内の電圧値である場合には、時間間隔変換装置 1 5 __ 1 から入力されたデジタル信号を選択する。

10

20

30

40

50

【 0 1 7 9 】

このように、選択装置 2 3 が変換前の時間間隔が最長となるデジタル信号を選択することによって、画素信号（電源 V i n）と変換時間 D との関係が良好なデジタル信号を、ビデオプロセッサ 1 6 に出力することができる。より具体的には、画素信号（電源 V i n）と変換時間 D との関係の傾きがより大きいデジタル信号を、ビデオプロセッサ 1 6 に出力することができる。

【 0 1 8 0 】

ここで、画素信号（電源 V i n）と変換時間 D との関係の傾きが大きいデジタル信号を選択することによる効果について説明する。上述したように、ビデオプロセッサ 1 6 は、入力されたデジタル信号が表す変換時間 D に対して処理を行うことによって、アナログの画素信号と略比例した関係を有するデジタルの映像信号を得る。画素信号と変換時間 D との関係は、図 2 0 を見てわかるように、画素信号（電源 V i n）の電圧値が大きいときに傾きが小さく、画素信号（電源 V i n）の電圧値が小さいときに傾きが大きい。このことから、傾きが小さい部分の変換時間 D を処理して得られるデジタルの映像信号は、傾きが大きい部分の変換時間 D を処理して得られるデジタルの映像信号よりも、分解能が低下してしまうことがわかる。

【 0 1 8 1 】

選択装置 2 3 は、画素信号（電源 V i n）と変換時間 D との関係の傾きがより大きいデジタル信号を、最大のデジタル信号として選択する。より具体的には、上述したように、図 2 0 に示した領域 M 1 では第 5 O U T パルス信号に応じたデジタル信号を、領域 M 2 では第 4 O U T パルス信号に応じたデジタル信号を、領域 M 3 では第 3 O U T パルス信号に応じたデジタル信号を、領域 M 4 では第 2 O U T パルス信号に応じたデジタル信号を、領域 M 5 では第 1 O U T パルス信号に応じたデジタル信号を、最大のデジタル信号として選択する。これにより、ビデオプロセッサ 1 6 が処理して得るデジタルの映像信号の分解能の低下を抑えることができる。

【 0 1 8 2 】

そして、選択装置 2 3 は、上述したように、時間間隔変換装置 1 5 __ 1 ~ 1 5 __ 5 のいずれの時間間隔変換装置 1 5 から入力されたデジタル信号を最大のデジタル信号として選択した場合でも、ビデオプロセッサ 1 6 に出力するデジタル信号が同じ尺度のデジタル信号となるように逡倍処理を行う。そして、選択装置 2 3 は、逡倍処理した後のデジタル信号を、ビデオプロセッサ 1 6 に出力する。

【 0 1 8 3 】

上記に述べたとおり、本第 3 の実施形態の内視鏡システム 3 0 では、時間変換器 1 9 によって、撮像部 1 1 が撮像したアナログの画素信号の大きさを表す複数の時間情報を生成し、送信部 2 1 が、1 チャンネルで複数の時間情報を本体部 3 に伝送する。より具体的に

は、第 1 の実施形態の内視鏡システム 1 では、図 7 に示したように、1 種類の時間情報（図 20 においては、第 1 OUT パルス信号）のみを伝送するが、本第 3 の実施形態の内視鏡システム 30 では、5 種類の時間情報を伝送する。また、本第 3 の実施形態の内視鏡システム 30 では、受信部 22 および時間間隔変換装置 15 __ 1 ~ 15 __ 5 によって、複数のデジタルの映像信号に変換し、選択装置 23 が、アナログの画素信号と変換時間 D との関係の傾きがより大きいデジタル信号を選択する。より具体的には、本第 3 の実施形態の内視鏡システム 30 では、映像信号処理期間内で最も傾きが大きい時間情報に応じたデジタル信号を選択してデジタルの映像信号を得る。これにより、本第 3 の実施形態の内視鏡システム 30 では、デジタルの映像信号の分解能を大幅に向上させることができる。

【0184】

10

上記に述べたとおり、本発明を実施するための形態によれば、内視鏡スコープの先端部に備えた時間変換器が、撮像部が撮像したアナログの画素信号を時間の長さの情報に変換して本体部に伝送する。これにより、本発明を実施するための形態では、従来の内視鏡システムのように、内視鏡スコープの先端部に消費電力が大きい A/D 変換部などの構成要素を備える必要がなくなり、先端部の消費電力を低減することができる。このことにより、本発明を実施するための形態では、従来の内視鏡システムよりも、被検物内に挿入する内視鏡スコープの先端部の発熱を抑えることができる。

【0185】

また、本発明を実施するための形態によれば、内視鏡スコープの先端部に備えた送信部が、時間変換器が時間の長さの情報に変換したアナログの画素信号を、光パルス信号に変換して本体部に伝送する。これにより、本発明を実施するための形態では、従来の内視鏡システムと同様に、ノイズ耐性の効果を損なうことなく、撮像部が撮像したアナログの画素信号を本体部に伝送することができる。

20

【0186】

また、本発明を実施するための形態によれば、本体部に備えた時間間隔変換装置 15 が、伝送された時間の長さの情報で表されるアナログの画素信号を、2 進のデジタル信号に変換する。これにより、本発明を実施するための形態では、内視鏡スコープの先端部に備えた撮像部が撮像したアナログの画素信号から、高い分解能のデジタルの映像信号を、高い精度で得ることができる。

【0187】

30

また、本発明を実施するための形態によれば、内視鏡スコープの先端部に備えた撮像部が撮像した画素信号をサンプルホールドし、複数の時間変換器が、画素信号の時間の長さの情報への変換を並列に行う。これにより、本発明を実施するための形態では、それぞれの時間変換器がアナログの画素信号を時間の長さの情報に変換する際の時間を長くすることができ、時間の長さの情報が表すデジタル信号の有効ビット数を増やすことができる。このことにより、本発明を実施するための形態では、デジタル信号の分解能を向上し、アナログの画素信号をデジタルの映像信号に変換する際の信号品質を向上することができる。

【0188】

40

また、本発明を実施するための形態によれば、内視鏡スコープの先端部に備えた時間変換器が、撮像部が撮像したアナログの画素信号を、複数の時間の長さの情報に変換し、送信部が、複数の時間の長さの情報を 1 チャンネルで本体部に伝送する。そして、本体部に備えた受信部と時間間隔変換装置とによって、伝送された複数の時間の長さの情報から複数のデジタル信号を生成し、選択装置が、複数のデジタル信号から、アナログの画素信号と変換した時間との関係の傾きがより大きいデジタル信号を選択する。これにより、本発明を実施するための形態では、映像信号処理期間内で最も傾きが大きい時間の長さの情報に基づいたデジタルの映像信号を得ることができ、デジタルの映像信号の分解能を大幅に向上させることができる。

【0189】

なお、本実施形態においては、送信部が、時間変換器から入力された時間情報に基づい

50

て、画素信号の大きさをパルス幅で表した光パルス信号を生成して伝送する場合の一例を説明した。すなわち、画素信号の大きさに応じた時間間隔が開始されるタイミングと終了されるタイミングとが、1つの光パルス信号に含まれる光パルス信号を生成して伝送する場合について説明した。しかし、伝送する光パルス信号の形態は、本発明を実施するための形態に限定されるものではない。例えば、画素信号の大きさに応じた時間間隔が開始されるタイミングと終了されるタイミングとを、それぞれ別の光パルス信号で伝送することもできる。すなわち、伝送部が、時間間隔が開始されるタイミングのみが含まれる光パルス信号と、時間間隔が終了されるタイミングのみが含まれる光パルス信号とを、それぞれ生成して伝送する構成にすることもできる。なお、この場合には、受信部が、伝達部を介して送信部から伝送された光パルス信号の形態に応じて、光パルス信号を電気パルス信号に変換する必要がある。

10

【0190】

また、本実施形態においては、位相を離れた複数のクロックを並列に駆動させる方式の時間間隔変換装置を示し、さらに、オシレータが出力するクロックの周波数を変更することによって、時間間隔を高い分解能で精度良くデジタル信号に変換する時間間隔変換装置15を、内視鏡システムの本体部に備えることが想定される時間間隔変換装置の一例として説明した。しかし、内視鏡システムの本体部に備えることが想定される時間間隔変換装置は、本発明を実施するための形態に限定されるものではない。

【0191】

<時間の長さ(時間間隔)のデジタル信号への変換方法の別の一例>

20

ここで、本発明を実施するための形態の内視鏡システムにおける本体部に備えることが想定される時間間隔変換装置の別の一例について説明する。以下の説明においては、図1～図14で説明した第1の実施形態の内視鏡システム1に備えた時間間隔変換装置15の代わりに、第1の実施形態の内視鏡システム1における本体部3に備えることが想定される時間間隔変換装置の別の一例について説明する。従って、以下に説明する時間間隔変換装置は、第2の実施形態の内視鏡システム20および第3の実施形態の内視鏡システム30に備えた時間間隔変換装置15の代わりに備えることもできる。

【0192】

図21は、本発明の第1の実施形態の内視鏡システム1に備えた時間間隔変換装置の概略構成の別の一例を示したブロック図である。図21において、時間間隔変換装置150は、エッジ検出器100と、8個の遅延回路115__1～115__8と、8個のオシレータ116__1～116__8と、8個のラッチ117__1～117__8と、8個のカウンタ118__1～118__8と、加算回路119と、を備えている。

30

【0193】

時間間隔変換装置150は、図9に示した時間間隔変換装置15と同様に、位相を離れた複数のクロックを並列に駆動させることによって、入力された電気パルス信号が表す時間間隔をデジタル信号に変換し、変換したデジタル信号を出力する。時間間隔変換装置150には、受信部14が電気信号に変換した電気パルス信号が入力端子15aに入力される。そして、時間間隔変換装置150は、入力された電気パルス信号の立ち上がりエッジと立ち下がりエッジの時間幅(時間間隔)に応じたデジタル信号、すなわち、画素信号の大きさをパルス幅で表した変換時間Dに応じたデジタル信号を、出力端子15bから出力する。

40

【0194】

なお、時間間隔変換装置150でも、図9に示した時間間隔変換装置15と同様に、隣り合うクロック同士のエッジの間隔が等しいことが望ましい。このため、時間間隔変換装置150でも、図9に示した時間間隔変換装置15と同様に、電気パルス信号が表す時間間隔をデジタル信号に変換する際に用いるクロックの変動を抑えることによって、時間間隔を高い分解能で精度良くデジタル信号に変換する。なお、時間間隔変換装置150では、図9に示した時間間隔変換装置15に備えたパラメータ調節回路107の代わりにパラメータ調節回路120を備え、パラメータ調節回路120が、時間間隔をデジタル信号に

50

変換する際に用いるクロックの変動を抑える。

【0195】

なお、図21に示した時間間隔変換装置150において、エッジ検出器100は、図9に示した時間間隔変換装置15におけるエッジ検出器100と同様の構成、機能、および特性である。また、図21に示した時間間隔変換装置150において、ラッチ117__1～117__8のそれぞれは、図9に示した時間間隔変換装置15におけるラッチ104と同様の構成、機能、および特性である。また、図21に示した時間間隔変換装置150において、カウンタ118__1～118__8は、図9に示した時間間隔変換装置15におけるカウンタ105と同様の構成、機能、および特性である。また、図21に示した時間間隔変換装置150において、加算回路119は、入力されるカウント数が異なる以外は、図9に示した時間間隔変換装置15における加算回路106と同様の機能および特性である。従って、以下の説明においては、図9に示した時間間隔変換装置15に備えた構成要素と同様の構成、機能、および特性についての説明は省略し、図9に示した時間間隔変換装置15に備えた構成要素と異なる構成および動作のみを説明する。そして、以下の説明においても、図9に示した時間間隔変換装置15の説明と同様に、図21に示した時間間隔変換装置150において、遅延回路115__1～115__8のいずれか1つの遅延回路を示すときには、「遅延回路115」といい、オシレータ116__1～116__8のいずれか1つのオシレータを示すときには、「オシレータ116」という。また、同様に、ラッチ117__1～117__8のいずれか1つのラッチを示すときには、「ラッチ117」といい、カウンタ118__1～118__8のいずれか1つのカウンタを示すときには、「カウンタ118」という。また、同様に、時間間隔変換装置150内のそれぞれの構成要素の出力端子の信号も、「ノード」という。

10

20

【0196】

エッジ検出器100は、図9に示した時間間隔変換装置15におけるエッジ検出器100と同様に、時間間隔変換装置150に入力された電気パルス信号の立ち上がりエッジと立ち下がりエッジとを検出し、検出した電気パルス信号の立ち上がりエッジのタイミングを表す開始信号と、検出した電気パルス信号の立ち下がりエッジのタイミングを表す終了信号とを、それぞれ出力する。

【0197】

エッジ検出器100には、時間間隔変換装置150の入力端子15aに入力された電気パルス信号が、入力端子100cに入力される。そして、エッジ検出器100は、開始信号(ノードn141)を出力端子100aから、終了信号(ノードn1410)を出力端子100bから、それぞれ出力する。より具体的には、エッジ検出器100は、入力された電気パルス信号の立ち上がりエッジを検出したときに、ノードn141を“L”レベルから“H”レベルに切り替え、入力された電気パルス信号の立ち下がりエッジを検出したときに、ノードn1410を“L”レベルから“H”レベルに切り替える。

30

【0198】

遅延回路115__1～115__8のそれぞれは、入力端子115aに入力された信号を、入力端子115cに入力された設定信号に応じた遅延時間(例えば、時間 Δt)だけ遅延させて、出力端子115bから出力する。なお、以下の説明においては、入力端子115cに入力された設定信号に応じた遅延時間は、「時間 Δt 」であるものとして説明を行う。時間間隔変換装置150では、図21に示したように、遅延回路115__1～115__8を直列に接続している。そして、初段の遅延回路115__1の入力端子115aに入力された、エッジ検出器100の出力端子100aから出力された開始信号(ノードn141)を、順次、設定信号に応じた遅延時間(時間 Δt)だけ遅延させて、次段の遅延回路115の入力端子115aに入力する。また、遅延回路115__1～115__8のそれぞれは、出力端子115bから出力する時間 Δt だけ遅延させた信号を、対応するオシレータ116__1～116__8の入力端子116aに、それぞれ入力する。遅延回路115__1～115__8のそれぞれが入力された信号を遅延させる遅延時間は、入力端子115cに入力された、パラメータ調節回路120からの設定信号によって変更することができ

40

50

る。

【0199】

より具体的には、遅延回路115__1は、入力されたノードn141を時間 Δt だけ遅延させた信号を、出力端子115bから出力する。また、遅延回路115__2は、遅延回路115__1から入力された時間 Δt だけ遅延させた信号を、さらに時間 Δt だけ遅延させた信号、すなわち、ノードn141を時間 $2\Delta t$ だけ遅延させた信号を、出力端子115bから出力する。また、遅延回路115__3は、遅延回路115__2から入力された時間 Δt だけ遅延させた信号を、さらに時間 Δt だけ遅延させた信号、すなわち、ノードn141を時間 $3\Delta t$ だけ遅延させた信号を、出力端子115bから出力する。同様に、遅延回路115__4~115__8のそれぞれは、前段の遅延回路115__3~115__7から入力された時間 Δt だけ遅延させた信号を、さらに時間 Δt だけ遅延させた信号、すなわち、ノードn141を時間 $4\Delta t \sim 8\Delta t$ だけ遅延させた信号を、出力端子115bからそれぞれ出力する。なお、遅延回路115の構成に関する詳細な説明は、後述する。

10

【0200】

オシレータ116__1~116__8のそれぞれは、入力端子116aに入力された信号が、“L”レベルから“H”レベルに切り替わるタイミングで、予め定められた周波数のクロックを出力する。オシレータ116のそれぞれには、対応する遅延回路115の出力端子115bから出力された遅延されたノードn141が、入力端子116aに入力される。そして、オシレータ116のそれぞれは、入力されたノードn141が、時間間隔の開始を表したときから、時間 Δt づつずれたタイミングで予め定められた周波数のクロックを、出力端子116bから出力する。

20

【0201】

より具体的には、オシレータ116は、遅延されたノードn141が“L”レベルから“H”レベルに切り替わるタイミングでクロックの出力を開始し、遅延されたノードn141が、“H”レベルから“L”レベルに切り替わるタイミングで出力端子116bを“L”レベルにして、クロックの出力を停止する。また、オシレータ116__1~116__8のそれぞれは、それぞれのクロックを、対応するラッチ117__1~117__8の入力端子117aに、それぞれ入力する。なお、オシレータ116は、周波数を変更する機能がない以外は、図9に示した時間間隔変換装置15におけるオシレータ103と同様に考えることができるため、詳細な説明は省略する。

30

【0202】

ラッチ117__1~117__8のそれぞれは、図9に示した時間間隔変換装置15におけるラッチ104と同様に、入力端子117cに入力された信号に応じて、入力端子117aに入力された信号、または入力端子117aに入力された信号の状態を保持した信号を、出力端子117bから出力する。ラッチ117__1~117__8のそれぞれには、対応するオシレータ116の出力端子116bから出力されたクロックが入力端子117aに入力され、エッジ検出器100の出力端子100bから出力された終了信号(ノードn1410)が入力端子117cに入力される。そして、ラッチ117__1~117__8のそれぞれは、ノードn1410が“L”レベルのとき、入力端子117aに入力されたクロックを、そのまま出力端子117bに転送して出力し、ノードn1410が“L”レベルから“H”レベルに切り替わるタイミングで、入力端子117aに入力されたクロックの状態を保持し、ノードn1410が“H”レベルの間、保持した状態の信号を、出力端子117bに出力し続ける。時間間隔変換装置150では、図21に示したように配置されたラッチ117によって、オシレータ116出力したそれぞれのクロックを、並列に出力する。

40

【0203】

より具体的には、ラッチ117__1には、オシレータ116__1から出力されたクロックが入力端子117aに入力され、ノードn1410の状態に応じて、オシレータ116__1から出力されたクロック、または保持したクロックの状態の信号を、ノードn142として出力端子117bから出力する。また、ラッチ117__2には、オシレータ116

50

— 2 から出力されたクロックが入力端子 1 1 7 a に入力され、ノード n 1 4 1 0 の状態に応じて、オシレータ 1 1 6 — 2 から出力されたクロック、または保持したクロックの状態の信号を、ノード n 1 4 3 として出力端子 1 1 7 b から出力する。また、ラッチ 1 1 7 — 3 には、オシレータ 1 1 6 — 3 から出力されたクロックが入力端子 1 1 7 a に入力され、ノード n 1 4 1 0 の状態に応じて、オシレータ 1 1 6 — 3 から出力されたクロック、または保持したクロックの状態の信号を、ノード n 1 4 4 として出力端子 1 1 7 b から出力する。同様に、ラッチ 1 1 7 — 4 ~ 1 1 7 — 8 のそれぞれには、対応するオシレータ 1 1 6 — 4 ~ 1 1 6 — 8 から出力されたクロックがそれぞれの入力端子 1 1 7 a に入力され、ノード n 1 4 1 0 の状態に応じて、オシレータ 1 1 6 — 4 ~ 1 1 6 — 8 から出力されたそれぞれのクロック、またはそれぞれ保持したクロックの状態の信号を、ノード n 1 4 5 ~ ノード n 1 4 9 として出力端子 1 1 7 b からそれぞれ出力する。

【 0 2 0 4 】

この構成により、ラッチ 1 1 7 のそれぞれは、オシレータ 1 1 6 が、ノード n 1 4 1 が “ L ” レベルから “ H ” レベルに切り替わるタイミングで出力を開始したそれぞれのクロックを、ノード n 1 4 1 0 が “ L ” レベルから “ H ” レベルに切り替わるタイミングで停止させることになる。言い換えれば、ラッチ 1 1 7 のそれぞれは、時間間隔変換装置 1 5 0 の入力端子 1 5 a に入力された電気パルス信号が、時間間隔の開始を表したときから、時間間隔の終了を表したときまでの間、すなわち、画素信号の大きさに応じた変換時間 D の間、オシレータ 1 1 6 が出力したそれぞれのクロックを、ノード n 1 4 2 ~ ノード n 1 4 9 として出力端子 1 1 7 b から出力することになる。なお、ラッチ 1 1 7 は、図 9 に示した時間間隔変換装置 1 5 におけるラッチ 1 0 4 と同様に、一般的な論理回路で容易に構成できるため、詳細な説明は省略する。

【 0 2 0 5 】

カウンタ 1 1 8 — 1 ~ 1 1 8 — 8 のそれぞれは、入力端子 1 1 8 a に入力された信号 (ノード n 1 4 2 ~ ノード n 1 4 9) の立ち上がりエッジの数をカウントし、カウントしたカウント数を、出力端子 1 1 8 b から出力する。時間間隔変換装置 1 5 0 では、図 2 1 に示したように配置されたカウンタ 1 1 8 によって、対応するラッチ 1 1 7 から出力されたノード、すなわち、対応するオシレータ 1 1 6 から出力されたクロックのエッジを、並列にカウントする。そして、カウンタ 1 1 8 は、カウントしたクロックのエッジのカウント数を、並列に出力する。

【 0 2 0 6 】

より具体的には、カウンタ 1 1 8 — 1 には、ラッチ 1 1 7 — 1 から出力されたノード n 1 4 2、すなわち、対応するオシレータ 1 1 6 — 1 が出力したクロックが入力端子 1 1 8 a に入力され、カウントしたノード n 1 4 2 の立ち上がりエッジの数を、出力端子 1 1 8 b から出力する。また、カウンタ 1 1 8 — 2 には、ラッチ 1 1 7 — 2 から出力されたノード n 1 4 3、すなわち、対応するオシレータ 1 1 6 — 2 が出力したクロックが入力端子 1 1 8 a に入力され、カウントしたノード n 1 4 3 の立ち上がりエッジの数を、出力端子 1 1 8 b から出力する。また、カウンタ 1 1 8 — 3 には、ラッチ 1 1 7 — 3 から出力されたノード n 1 4 4、すなわち、対応するオシレータ 1 1 6 — 3 が出力したクロックが入力端子 1 1 8 a に入力され、カウントしたノード n 1 4 4 の立ち上がりエッジの数を、出力端子 1 1 8 b から出力する。同様に、カウンタ 1 1 8 — 1 ~ 1 1 8 — 8 のそれぞれには、対応するラッチ 1 1 7 — 4 ~ 1 1 7 — 8 から出力されたノード n 1 4 5 ~ ノード n 1 4 9、すなわち、対応するオシレータ 1 1 6 — 4 ~ 1 1 6 — 8 が出力したクロックがそれぞれの入力端子 1 1 8 a に入力され、それぞれカウントしたノード n 1 4 5 ~ ノード n 1 4 9 の立ち上がりエッジの数を、出力端子 1 1 8 b からそれぞれ出力する。なお、カウンタ 1 1 8 は、図 9 に示した時間間隔変換装置 1 5 におけるカウンタ 1 0 5 と同様に、一般的な論理回路で容易に構成できるため、詳細な説明は省略する。

【 0 2 0 7 】

加算回路 1 1 9 は、カウンタ 1 1 8 — 1 ~ 1 1 8 — 8 のそれぞれの出力端子 1 1 8 b から出力されたクロックのエッジのカウント数が、入力端子 1 1 9 a ~ 入力端子 1 1 9 h に

入力され、入力されたクロックのエッジのカウント数を加算する。そして、加算回路 1 1 9 は、合計のカウント数を、時間間隔変換装置 1 5 0 に入力された電気パルス信号が表す時間間隔に応じたデジタル信号として、出力端子 1 1 9 i、すなわち、時間間隔変換装置 1 5 0 の出力端子 1 5 b から出力する。なお、加算回路 1 1 9 は、図 9 に示した時間間隔変換装置 1 5 における加算回路 1 0 6 と同様に、一般的な論理回路で容易に構成できるため、詳細な説明は省略する。

【0208】

パラメータ調節回路 1 2 0 は、遅延回路 1 1 5 のそれぞれが入力された信号を遅延させる遅延時間を制御するためのパラメータである設定信号を、出力端子 1 2 0 a から出力する。また、パラメータ調節回路 1 2 0 は、設定信号を、遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 の入力端子 1 1 5 c に、それぞれ入力する。

10

【0209】

パラメータ調節回路 1 2 0 は、設定信号によって、オシレータ 1 1 6 __ 8 から出力されるクロックの立ち上がりエッジから時間 Δt だけ遅延したタイミングと、オシレータ 1 1 6 __ 1 から出力されるクロックの立ち上がりエッジのタイミングとが一致するように、遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 の遅延時間を調節する。これにより、対応するラッチ 1 1 7 __ 8 から出力されるノード n 1 4 9 の立ち上がりエッジのタイミングと、対応するラッチ 1 1 7 __ 1 から出力されるノード n 1 4 2 の立ち上がりエッジのタイミングとの時間差が、時間 Δt になる。なお、パラメータ調節回路 1 2 0 における遅延回路 1 1 5 の遅延時間の調節方法に関する詳細な説明は、後述する。

20

【0210】

次に、本第 2 の実施形態の時間間隔変換装置 1 5 0 の動作について説明する。図 2 2 は、本発明の第 1 の実施形態の内視鏡システム 1 に備えた別の時間間隔変換装置である時間間隔変換装置 1 5 0 におけるそれぞれのクロックの関係を示したタイミングチャートである。図 2 2 には、図 2 1 の時間間隔変換装置 1 5 0 の構成における各ノードのタイミングを示している。

【0211】

まず、タイミング t 1 のときに、エッジ検出器 1 0 0 が、時間間隔変換装置 1 5 0 の入力端子 1 5 a に入力された電気パルス信号に基づいて時間間隔の開始、すなわち、電気パルス信号の立ち上がりエッジを検出し、開始信号 (ノード n 1 4 1) を “ L ” レベルから “ H ” レベルに切り替えると、直列に接続された遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 が、ノード n 1 4 1 を順次、遅延回路 1 1 5 の 1 段分の時間 Δt だけ遅延させる。これにより、オシレータ 1 1 6 __ 1 ~ 1 1 6 __ 8 が、時間 Δt ずつ遅延して、順次クロックの出力を開始する。そして、時間 Δt ずつ遅延して出力されたクロックが、ラッチ 1 1 7 __ 1 ~ 1 1 7 __ 8 のそれぞれから、ノード n 1 4 2 ~ ノード n 1 4 9 として、それぞれ出力される。

30

【0212】

そして、カウンタ 1 1 8 __ 1 ~ 1 1 8 __ 8 のそれぞれは、入力されたノード n 1 4 2 ~ ノード n 1 4 9 のそれぞれの立ち上がりエッジの数をカウントし、カウントしたカウント数を加算回路 1 1 9 にそれぞれ出力する。

【0213】

その後、タイミング t 2 のときに、エッジ検出器 1 0 0 が、時間間隔変換装置 1 5 0 の入力端子 1 5 a に入力された電気パルス信号に基づいて時間間隔の終了、すなわち、電気パルス信号の立ち下がりエッジを検出し、終了信号 (ノード n 1 0 4 1) を “ L ” レベルから “ H ” レベルに切り替えると、ラッチ 1 1 7 __ 1 ~ 1 1 7 __ 8 のそれぞれは、ノード n 1 4 2 ~ ノード n 1 4 9 の状態を保持する。

40

【0214】

そして、加算回路 1 1 9 は、カウンタ 1 1 8 __ 1 ~ 1 1 8 __ 8 のそれぞれから入力されたノード n 1 4 2 ~ ノード n 1 4 9 のそれぞれのエッジのカウント数を加算し、合計のカウント数を、時間間隔変換装置 1 5 0 に入力された電気パルス信号が表す時間間隔の開始から終了までの期間に応じたデジタル信号として、時間間隔変換装置 1 5 0 の出力端子 1

50

5 b から出力する。

【0215】

このように、時間間隔変換装置 150 では、同じ周波数のクロックを同じ間隔（本時間間隔変換装置 150 においては、時間 Δt ）で遅延させた複数のクロックを並列に動作させる。そして、遅延させたそれぞれのクロックの立ち上がりエッジの数をカウントし、最後にクロックのエッジのカウント数を加算する。これにより、時間間隔変換装置 150 では、エッジ検出器 100 が検出した電気パルス信号が時間間隔の開始を表したとき（ノード n141）から、時間間隔の終了を表したとき（ノード n1410）までの時間間隔の期間中のクロックのエッジのカウント数を増加させ、出力するデジタル信号の分解能を向上させることができる。

10

【0216】

このとき、パラメータ調節回路 120 は、上述したように、ノード n149 の立ち上がりエッジから時間 Δt だけ遅延したタイミングと、ノード n142 の立ち上がりエッジのタイミングとが一致するように、パラメータ（設定信号）を逐次調節することによって、遅延回路 115 __ 1 ~ 115 __ 8 の遅延時間を逐次調節する。これにより、時間間隔変換装置 150 では、図 22 に示したように、ノード n142 ~ ノード n149 の隣り合う立ち上がりエッジ同士の間隔を全て、常に一定の時間 Δt にすることができる。

【0217】

このように、時間間隔変換装置 150 では、出力する信号の遅延時間を変更することができる遅延回路 115 と、遅延回路 115 の遅延時間を逐次調節するパラメータ調節回路 120 を備えることによって、時間間隔を高い分解能で精度良くデジタル信号に変換することができる。

20

【0218】

次に、時間間隔変換装置 150 に備えた遅延回路 115 について説明する。図 23 は、本発明の第 1 の実施形態の内視鏡システム 1 に備えた別の時間間隔変換装置である時間間隔変換装置 150 における遅延回路 115 の構成の一例を示したブロック図である。図 23 には、4 個のトランジスタで構成した遅延回路 115 の構成の一例を示している。図 23 において、遅延回路 115 は、2 個の PMOS トランジスタ 124 __ 1 および 124 __ 2 と、2 個の NMOS トランジスタ 124 __ 3 および 124 __ 4 と、を備えている。

【0219】

30

PMOS トランジスタ 124 __ 1 は、ゲート端子が遅延回路 115 の入力端子 115 a に、ソース端子が遅延回路 115 の入力端子 115 c に、ドレイン端子が PMOS トランジスタ 124 __ 2 のゲート端子、NMOS トランジスタ 124 __ 4 のゲート端子、および NMOS トランジスタ 124 __ 3 のドレイン端子に、それぞれ接続されている。また、NMOS トランジスタ 124 __ 3 は、ゲート端子が遅延回路 115 の入力端子 115 a に、ソース端子が GND および NMOS トランジスタ 124 __ 4 のソース端子に、それぞれ接続されている。また、PMOS トランジスタ 124 __ 2 は、ソース端子が遅延回路 115 の入力端子 115 c に、ドレイン端子が遅延回路 115 の出力端子 115 b および NMOS トランジスタ 124 __ 4 のドレイン端子に、それぞれ接続されている。また、NMOS トランジスタ 124 __ 4 は、ドレイン端子が遅延回路 115 の出力端子 115 b に接続されている。

40

【0220】

このように、遅延回路 115 では、PMOS トランジスタ 124 __ 1 と NMOS トランジスタ 124 __ 3 とで前段のインバータ回路を構成し、PMOS トランジスタ 124 __ 2 と NMOS トランジスタ 124 __ 4 とで後段のインバータ回路を構成している。これは、インバータ回路を偶数段直列に接続したバッファ回路である。そして、遅延回路 115 では、入力端子 115 c に入力されたパラメータ（設定信号）のレベルを、それぞれのインバータ回路の駆動電圧としている。これにより、遅延回路 115 は、入力端子 115 a に入力された入力された開始信号（ノード n141）を、駆動電圧の大きさに応じた遅延時間で遅延させて、出力端子 115 b から出力する。

50

【0221】

このように、時間間隔変換装置150では、インバータ回路を偶数段直列に繋げたバッファ回路を用いることによって、遅延回路115内の各インバータ回路の電源電圧または電源電流をパラメータとして、入力から出力までの遅延時間を変更することができる遅延回路を、容易に構成することができる。

【0222】

次に、時間間隔変換装置150に備えたパラメータ調節回路120について説明する。図24は、本発明の第1の実施形態の内視鏡システム1に備えた別の時間間隔変換装置である時間間隔変換装置150におけるパラメータ調節回路120の概略構成の一例を示したブロック図である。図24において、パラメータ調節回路120は、NOR回路121と、9個の遅延回路115__9~115__17と、9個のオシレータ116__9~116__17と、位相比較回路122と、パラメータ設定回路123と、を備えている。パラメータ調節回路120は、入力端子ON/OFFの制御によって動作を開始すると、遅延回路115の遅延時間を制御するためのパラメータである設定信号を、出力端子120aから出力する。

【0223】

なお、図24に示したパラメータ調節回路120において、遅延回路115__9~115__17のそれぞれは、図21に示した時間間隔変換装置150における遅延回路115と同様の構成、機能、および特性である。また、図24に示したパラメータ調節回路120において、オシレータ116__9~116__17は、図21に示した時間間隔変換装置150におけるオシレータ116と同様の構成、機能、および特性である。従って、以下の説明においては、図21に示した時間間隔変換装置150に備えた構成要素と同様の構成、機能、および特性についての説明は省略し、図21に示した時間間隔変換装置150に備えた構成要素と異なる構成および動作のみを説明する。そして、以下の説明においても、図21に示した時間間隔変換装置150の説明と同様に、図24に示したパラメータ調節回路120において、遅延回路115__9~115__17のいずれか1つの遅延回路を示すときには、「遅延回路115」といい、オシレータ116__9~116__17のいずれか1つのオシレータを示すときには、「オシレータ116」という。また、同様に、パラメータ調節回路120内のそれぞれの構成要素の出力端子の信号も、「ノード」という。また、同様に、遅延回路115の入力端子115cに入力された設定信号に応じた遅延時間は、「時間 Δt 」であるものとして説明を行う。

【0224】

NOR回路121には、入力端子ON/OFFに入力されたON/OFF信号が入力端子121aに入力され、遅延回路115__17の出力端子115bから出力される出力信号が入力端子121bに入力される。NOR回路121は、入力端子121aに入力されたON/OFF信号と入力端子121bに入力された遅延回路115__17の出力信号とを否定論理和した信号を、ノードn201として出力端子121cから出力する。

【0225】

パラメータ調節回路120では、図24に示したように、遅延回路115__9~115__17を直列に接続している。遅延回路115__9~115__17のそれぞれは、初段の遅延回路115__9の入力端子115aに入力されたノードn201を、順次、入力端子115cに入力された設定信号に応じた遅延時間（時間 Δt ）だけ遅延させて出力端子115bから出力し、次段の遅延回路115の入力端子115aに入力する。また、遅延回路115__9~115__17のそれぞれは、出力端子115bから出力するノードn201を遅延させた信号（ノードn202、およびノードn204~ノードn2011）を、対応するオシレータ116__9~116__17の入力端子116aに、それぞれ入力する。遅延回路115__9~115__17のそれぞれが入力された信号を遅延させる遅延時間は、入力端子115cに入力された、パラメータ設定回路123からの設定信号によって変更することができる。

【0226】

より具体的には、遅延回路 115__9 は、入力されたノード n201 を時間 Δt だけ遅延させた信号を、ノード n202 として出力端子 115b から出力する。また、遅延回路 115__10 は、入力されたノード n202 を時間 Δt だけ遅延させた信号、すなわち、ノード n201 を時間 $2\Delta t$ だけ遅延させた信号を、ノード n204 として出力端子 115b から出力する。同様に、遅延回路 115__11 ~ 115__16 のそれぞれは、前段の遅延回路 115__10 ~ 115__15 から入力されたノード n204 ~ ノード n209 を時間 Δt だけ遅延させた信号、すなわち、ノード n201 を時間 $3\Delta t \sim 8\Delta t$ だけ遅延させた信号を、ノード n205 ~ ノード n2010 として出力端子 115b からそれぞれ出力する。また、遅延回路 115__17 は、入力されたノード n2010 を時間 Δt だけ遅延させた信号、すなわち、ノード n201 を時間 $9\Delta t$ だけ遅延させた信号を、ノード n2011 として出力端子 115b から出力する。

10

【0227】

パラメータ調節回路 120 では、図 24 に示したように、オシレータ 116__9 ~ 116__17 のそれぞれには、対応する遅延回路 115__9 ~ 115__17 の出力端子 115b から出力された遅延されたノード n202、およびノード n204 ~ ノード n2011 が、入力端子 116a に入力される。そして、オシレータ 116 のそれぞれは、入力されたノード n202、およびノード n204 ~ ノード n2011 が、“L”レベルから“H”レベルに切り替わるタイミングで、予め定められた周波数のクロックを、出力端子 116b から出力する。

【0228】

20

より具体的には、オシレータ 116__9 には、遅延回路 115__9 の出力端子 115b から出力されたノード n202 が入力端子 116a に入力され、ノード n202 が“L”レベルから“H”レベルに切り替わるタイミングで、予め定められた周波数のクロックを、ノード n203 として出力端子 116b から出力する。また、オシレータ 116__17 には、遅延回路 115__17 の出力端子 115b から出力されたノード n2011 が入力端子 116a に入力され、ノード n2011 が“L”レベルから“H”レベルに切り替わるタイミングで、予め定められた周波数のクロックを、ノード n2012 として出力端子 116b から出力する。

【0229】

図 24 を見てわかるように、オシレータ 116__10 ~ 116__16 のそれぞれは、ノード n204 ~ ノード n2010 が入力端子 116a に入力されるが、オシレータ 116__10 ~ 116__16 のそれぞれが出力端子 116b から出力する予め定められた周波数のクロックは、パラメータ調節回路 120 内のいずれの構成要素にも接続されていない。これは、パラメータ調節回路 120 では、遅延回路 115 とオシレータ 116 とを、図 21 に示した時間間隔変換装置 150 の遅延回路 115 とオシレータ 116 と同様に構成して接続していることから、オシレータ 116__10 ~ 116__16 のそれぞれを、遅延回路 115__10 ~ 115__16 のそれぞれの出力の負荷として配置しているためである。オシレータ 116__10 ~ 116__16 のそれぞれを、遅延回路 115__10 ~ 115__16 のそれぞれの出力負荷として配置することにより、遅延回路 115__10 ~ 115__16 のそれぞれの遅延時間を、より正確に、図 21 に示した時間間隔変換装置 150 の遅延回路 115 の遅延時間と同じ時間にすることができる。

30

40

【0230】

なお、図 24 に示したパラメータ調節回路 120 では、オシレータ 116__10 ~ 116__16 のそれぞれを、遅延回路 115__10 ~ 115__16 のそれぞれの出力負荷として配置した場合の一例を示しているが、パラメータ調節回路 120 における遅延回路 115__10 ~ 115__16 のそれぞれの出力負荷の構成は、図 23 に示した構成に限定されるものではない。例えば、遅延回路 115__10 ~ 115__16 のそれぞれから出力されるノード n204 ~ ノード n2010 が直接接続されるオシレータ 116 内の入力回路のみを、遅延回路 115__10 ~ 115__16 のそれぞれの出力負荷として配置する構成にすることもできる。この場合、例えば、オシレータ 116 が、図 11 に示したような構成

50

である場合には、NAND回路111のみを、遅延回路115__10~115__16のそれぞれの出力負荷として配置する構成になる。この構成にすることにより、パラメータ調節回路120の回路規模を削減することができる。

【0231】

また、例えば、遅延回路115__10~115__16のそれぞれに出力負荷を接続しなくても、それぞれの遅延時間を、図21に示した時間間隔変換装置150の遅延回路115の遅延時間と許容できるレベルで一致させることができる場合には、遅延回路115__10~115__16のそれぞれから出力されるノードn204~ノードn2010を、いずれの構成要素にも接続しない構成にすることもできる。すなわち、パラメータ調節回路120内に、オシレータ116__10~116__16のそれぞれを配置しない構成にすることもできる。この構成にすることにより、パラメータ調節回路120の回路規模を、さらに削減することができる。

10

【0232】

位相比較回路122は、入力端子122aに入力されたノードn203のクロックと、入力端子122bに入力されたノードn2012のクロックとを比較し、ノードn203のクロックの立ち上がりエッジとノードn2012のクロックの立ち上がりエッジとの時間差を検出する。そして、検出した時間差を表す時間差信号を、出力端子122cから出力する。

【0233】

パラメータ設定回路123は、入力端子123bに入力された時間差信号に基づいて、ノードn203のクロックの立ち上がりエッジとノードn2012のクロックの立ち上がりエッジとの時間差がより小さくなるパラメータを演算し、演算した結果のパラメータを、設定信号として、出力端子123aおよび出力端子123cから出力する。パラメータ設定回路123の出力端子123aから出力された設定信号は、遅延回路115__9~115__17のそれぞれの遅延時間を制御するためのパラメータとして、遅延回路115__9~115__17のそれぞれの入力端子115cに入力される。また、パラメータ設定回路123の出力端子123cから出力された設定信号は、パラメータ調節回路120が出力するパラメータとして、パラメータ調節回路120の出力端子120aから出力され、時間間隔変換装置150に備えた遅延回路115の入力端子115cに入力される。

20

【0234】

なお、パラメータ設定回路123は、出力端子123aおよび出力端子123cのそれぞれから、同一のパラメータを設定信号として出力する。これにより、時間間隔変換装置150に備えた遅延回路115の遅延時間と、パラメータ調節回路120内の遅延回路115__9~115__17のそれぞれの遅延時間とは、同一の時間になる。

30

【0235】

次に、時間間隔変換装置150に備えたパラメータ調節回路120の動作について説明する。図25は、本発明の第1の実施形態の内視鏡システム1に備えた別の時間間隔変換装置である時間間隔変換装置150におけるパラメータ調節回路120の動作のタイミングを示したタイミングチャートである。図25には、図24のパラメータ調節回路120の構成における各ノードのタイミングを示している。

40

【0236】

まず、入力端子ON/OFFの信号が“H”レベルから“L”レベルに切り替えてパラメータ調節回路120の動作を開始すると、タイミングt1のときに、ノードn201が“L”レベルから“H”レベルに切り替わる。これにより、ノードn201を遅延回路115の1段分の時間 Δt だけ遅延させたノードn202が、遅延回路115__9から出力される。同時に、オシレータ116__9がクロック(ノードn203)の出力を開始する。また、位相比較回路122は、ノードn203のクロックの立ち上がりエッジとノードn2012のクロックの立ち上がりエッジとの時間差を逐次検出して、時間差信号を逐次、パラメータ設定回路123に出力する。

【0237】

50

その後、遅延回路 1 1 5 __ 1 0 ~ 遅延回路 1 1 5 __ 1 7 は、入力されたノード n 2 0 2 を順次、遅延回路 1 1 5 の 1 段分の時間 Δt だけ遅延させたノード n 2 0 4 ~ ノード n 2 0 1 1 を出力する。そして、タイミング t 2 のときに、遅延回路 1 1 5 __ 1 7 から出力されるノード n 2 0 1 1 が “ L ” レベルから “ H ” レベルに切り替わると、同時に、オシレータ 1 1 6 __ 1 7 がクロック (ノード n 2 0 1 2) の出力を開始する。タイミング t 2 からオシレータ 1 1 6 __ 1 7 が出力するノード n 2 0 1 2 は、ノード n 2 0 1 から遅延回路 1 1 5 の 9 段分の時間 $9 \Delta t$ だけ遅延させたクロックである。

【 0 2 3 8 】

このとき、パラメータ設定回路 1 2 3 は、位相比較回路 1 2 2 から逐次入力される時間差信号に基づいて、ノード n 2 0 3 の立ち上がりエッジのタイミングとノード n 2 0 1 2 の立ち上がりエッジのタイミングとが一致する方向のパラメータを、遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 に設定する。これにより、遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 の遅延時間は、オシレータ 1 1 6 __ 9 が出力するクロック (ノード n 2 0 3) の $1 / 8$ 周期の時間に近づくことになる。

【 0 2 3 9 】

これは、図 2 4 に示したパラメータ調節回路 1 2 0 の構成からもわかるように、ノード n 2 0 2 とノード n 2 0 1 1 との時間差は、時間 $8 \Delta t$ である。従って、ノード n 2 0 3 の立ち上がりエッジのタイミングとノード n 2 0 1 2 の立ち上がりエッジのタイミングとの時間差も、時間 $8 \Delta t$ となる。そして、ノード n 2 0 1 2 の立ち上がりエッジのタイミングとノード n 2 0 3 の立ち上がりエッジのタイミングとを一致させることによって、ノード n 2 0 3 の周期も、時間 $8 \Delta t$ となる。また、ノード n 2 0 1 2 のクロックは、ノード n 2 0 3 のクロックと位相が逆で、周期が時間 $8 \Delta t$ となる。

【 0 2 4 0 】

なお、パラメータ設定回路 1 2 3 が遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 に設定するパラメータは、遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 の遅延時間を制御するためのパラメータとして、パラメータ設定回路 1 2 3 の出力端子 1 2 3 c、すなわち、パラメータ調節回路 1 2 0 の出力端子 1 2 0 a から出力される。これにより、パラメータ設定回路 1 2 3 が、遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 の遅延時間を制御すると同時に、時間間隔変換装置 1 5 0 に備えた遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 の遅延時間を制御することになる。

【 0 2 4 1 】

また、タイミング t 2 のときに、遅延回路 1 1 5 __ 1 7 から出力されるノード n 2 0 1 1 が “ L ” レベルから “ H ” レベルに切り替わると、ノード n 2 0 1 が “ H ” レベルから “ L ” レベルに切り替わる。図 2 5 に示したタイミングチャートでは、NOR 回路 1 2 1 の入力端子 1 2 1 b に入力されているノード n 2 0 1 1 が変化してから、出力端子 1 2 1 c のノード n 2 0 1 が変化するまでの遅延時間が、時間 $2 \Delta t$ であるものとして示している。これにより、遅延回路 1 1 5 の 1 段分の時間 Δt だけ遅延して、ノード n 2 0 2 も “ H ” レベルから “ L ” レベルに切り替わる。そして、同時に、オシレータ 1 1 6 __ 9 がクロック (ノード n 2 0 3) の出力を停止する。

【 0 2 4 2 】

その後、遅延回路 1 1 5 __ 1 0 ~ 遅延回路 1 1 5 __ 1 7 は、入力されたノード n 2 0 2 を順次、遅延回路 1 1 5 の 1 段分の時間 Δt だけ遅延させたノード n 2 0 4 ~ ノード n 2 0 1 1 を出力する。そして、タイミング t 3 のときに、遅延回路 1 1 5 __ 1 7 から出力されるノード n 2 0 1 1 が “ H ” レベルから “ L ” レベルに切り替わると、同時に、オシレータ 1 1 6 __ 1 7 がクロック (ノード n 2 0 1 2) の出力を停止する。

【 0 2 4 3 】

また、タイミング t 3 のときに、遅延回路 1 1 5 __ 1 7 から出力されるノード n 2 0 1 1 が “ H ” レベルから “ L ” レベルに切り替わると、NOR 回路 1 2 1 の遅延時間 $2 \Delta t$ 後のタイミング t 4 のときに、ノード n 2 0 1 が再度 “ L ” レベルから “ H ” レベルに切り替わる。以降、パラメータ調節回路 1 2 0 では、タイミング t 1 ~ タイミング t 4 と同様に、遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 の遅延時間が、オシレータ 1 1 6 __ 9 が出力す

10

20

30

40

50

るクロック（ノード n 2 0 3）の 1 / 8 周期の時間になるように、パラメータ設定回路 1 2 3 による遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 へのパラメータの設定を繰り返す。

【 0 2 4 4 】

このように、パラメータ調節回路 1 2 0 では、N O R 回路 1 2 1 と遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 によって、リング発振器を構成し、ノード n 2 0 1 の論理の切り替わりに基づいて、タイミング t 1 ~ タイミング t 4 の動作を繰り返す。そして、パラメータ調節回路 1 2 0 では、タイミング t 1 ~ タイミング t 4 の動作の繰り返しによって、ノード n 2 0 3 の立ち上がりエッジのタイミングとノード n 2 0 1 2 の立ち上がりエッジのタイミングとが一致する方向のパラメータの設定を、遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 に繰り返す。これにより、遅延回路 1 1 5 __ 9 ~ 1 1 5 __ 1 7 の遅延時間は、オシレータ 1 1 6 __ 9 が出力するクロック（ノード n 2 0 3）の 1 / 8 周期の時間に収束していくことになる。そして、時間間隔変換装置 1 5 0 では、このときのパラメータが、遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 にも繰り返し設定され、遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 の遅延時間も、オシレータ 1 1 6 __ 9 が出力するクロック（ノード n 2 0 3）の 1 / 8 周期の時間に収束していくことになる。ここで、オシレータ 1 1 6 __ 9 が出力するクロック（ノード n 2 0 3）の周期は、オシレータ 1 1 6 __ 1 ~ 1 1 6 __ 8 のそれぞれが出力するクロックの周期と同一の周期であるため、遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 の遅延時間は、オシレータ 1 1 6 __ 1 ~ 1 1 6 __ 8 のそれぞれが出力するクロックの 1 / 8 周期の時間に収束することと等しくなる。遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 の遅延時間が、オシレータ 1 1 6 __ 1 ~ 1 1 6 __ 8 のそれぞれが出力するクロックの 1 / 8 周期の時間に収束していくと、時間間隔変換装置 1 5 0 では、図 2 2 に示したように、ノード n 1 4 9 の立ち上がりエッジから時間 Δt だけ遅延したタイミングと、ノード n 1 4 2 の立ち上がりエッジのタイミングとが一致することになる。

【 0 2 4 5 】

このように、時間間隔変換装置 1 5 0 では、オシレータ 1 1 6 にクロックの出力を開始させる信号、すなわち、時間間隔変換装置 1 5 0 が時間間隔のデジタル信号への変換を開始する開始信号を遅延させて入力する遅延回路 1 1 5 と同じ遅延回路（遅延回路 1 1 5 __ 9 ~ 遅延回路 1 1 5 __ 1 7）を用いたリング発振器を、パラメータ調節回路 1 2 0 内に構成する。そして、時間間隔変換装置 1 5 0 においてオシレータ 1 1 6 が出力するクロックと同じ周期のクロック（ノード n 2 0 3 のクロックとノード n 2 0 1 2 のクロック）をパラメータ調節回路 1 2 0 内で生成し、遅延回路 1 1 5 __ 9 ~ 遅延回路 1 1 5 __ 1 7 の遅延時間を周期的に調節することによって、生成したクロックの周期を、周期的に調節する。そして、パラメータ調節回路 1 2 0 内でのクロックの周期を調節するための、遅延回路 1 1 5 __ 9 ~ 遅延回路 1 1 5 __ 1 7 の遅延時間のパラメータと同じパラメータの設定を、遅延回路 1 1 5 __ 1 ~ 1 1 5 __ 8 に対して行うことによって、オシレータ 1 1 6 が出力するクロックの周期を、周期的に調節する。すなわち、オシレータ 1 1 6 が出力するクロックを用いて、周期を調節するための遅延回路 1 1 5 の遅延時間のパラメータを直接的に演算するのではなく、別途生成した同じクロックを用いて、オシレータ 1 1 6 が出力するクロックの周期を調節するための遅延回路 1 1 5 の遅延時間のパラメータを間接的に演算する。

【 0 2 4 6 】

このような構成によって、時間間隔変換装置 1 5 0 でも、位相を離れた複数のクロックを生成し、電気パルス信号が表す時間間隔の期間内のエッジの数をカウントする。これにより、時間間隔変換装置 1 5 0 でも、電気パルス信号が表す時間間隔をデジタル信号に変換する際の分解能を向上させることができる。このことにより、時間間隔変換装置 1 5 0 でも、撮像部 1 1 が撮像した被検物内の映像のアナログの画素信号を、高い分解能でデジタルの映像信号に変換することができる。

【 0 2 4 7 】

また、時間間隔変換装置 1 5 0 では、パラメータ調節回路 1 2 0 の遅延回路 1 1 5 とオシレータ 1 1 6 とを、時間間隔変換装置 1 5 0 内の遅延回路 1 1 5 とオシレータ 1 1 6 と

同様に構成して接続している。そして、パラメータ調節回路 120 の遅延回路 115 の遅延時間と、時間間隔変換装置 150 内の遅延回路 115 の遅延時間とが、常に一定になるように、逐次遅延時間を調節することによって、オシレータ 116 が出力するクロックの周期が常に一定になるように調節する。これにより、時間間隔変換装置 150 でも、時間間隔変換装置 150 を使用する環境の温度や電源電圧の変動、時間間隔変換装置 150 を製造する際の個体差などに起因した、オシレータ 116 が出力する隣り合うクロックの立ち上がりエッジ同士の間隔の変動（誤差）を、逐次補正し、電気パルス信号が表す時間間隔を精度良くデジタル信号に変換することができる。

【0248】

そして、本発明を実施するための形態の内視鏡システムにおいて、図 9 ~ 図 14 で説明した時間間隔変換装置 15 の代わりに、時間間隔変換装置 150 を本体部 3 に備えることによって、時間間隔変換装置 15 と同様に、内視鏡スコープ 2 の先端部 5 内で時間の長さを表す信号に変換して伝送された、撮像部 11 が撮像したアナログの画素信号を、高い分解能で精度良く 2 進のデジタルの映像信号に変換することができる。

10

【0249】

なお、上記の説明では、時間間隔変換装置 15 において、パラメータ調節回路 107 が、遅延回路 102 __ 10 から出力されるクロック d4 の立ち上がりエッジから時間 Δt だけ遅延したタイミングと、遅延回路 102 __ 1 から出力されるクロック d1 の立ち下がりエッジのタイミングとが一致するように、オシレータ 103 が出力するクロックの周波数を調節する場合について説明した。また、時間間隔変換装置 150 において、パラメータ調節回路 120 が、オシレータ 116 __ 8 から出力されるクロックの立ち上がりエッジから時間 Δt だけ遅延したタイミングと、オシレータ 116 __ 1 から出力されるクロックの立ち上がりエッジのタイミングとが一致するように、遅延回路 115 __ 1 ~ 115 __ 8 の遅延時間を調節する場合について説明した。しかし、クロックのエッジのタイミングを一致させる方法は、本発明を実施するための形態に限定されるものではない。

20

【0250】

例えば、時間間隔変換装置 15 において、パラメータ調節回路 107 が、遅延回路 102 __ 10 から出力されるクロック d4 の立ち上がりエッジから時間 Δt だけ遅延したタイミングと、遅延回路 102 __ 1 から出力されるクロック d1 の立ち下がりエッジのタイミングとが一致するように、遅延回路 102 __ 1 ~ 102 __ 10 の遅延時間を調節する構成にすることもできる。また、例えば、時間間隔変換装置 150 において、パラメータ調節回路 120 が、オシレータ 116 __ 8 から出力されるクロックの立ち上がりエッジから時間 Δt だけ遅延したタイミングと、オシレータ 116 __ 1 から出力されるクロックの立ち上がりエッジのタイミングとが一致するように、オシレータ 116 __ 1 ~ 116 __ 8 が出力するクロックの周波数を調節する構成にすることもできる。

30

【0251】

また、時間間隔変換装置 150 に備える遅延回路 115 __ 1 ~ 遅延回路 115 __ 17 は、遅延時間を変更する機能を備えている構成である場合について説明した。しかし、時間間隔変換装置 150 に備える遅延回路 115 は、本発明を実施するための形態に限定されるものではない。例えば、時間間隔変換装置 150 に備える遅延回路（遅延回路 115 __ 1 ~ 遅延回路 115 __ 17）の遅延時間を、時間間隔変換装置 15 と同様に、一定の遅延時間とし、オシレータ（オシレータ 116 __ 1 ~ オシレータ 116 __ 17）が、出力するクロックの周波数を変更することができる構成とすることもできる。この場合、時間間隔変換装置 150 に備えるパラメータ調節回路（パラメータ調節回路 120 およびパラメータ設定回路 123）が、オシレータのクロックの周波数を制御する。なお、時間間隔変換装置 150 が上述した構成である場合には、一定の遅延時間である遅延回路（遅延回路 115 __ 1 ~ 遅延回路 115 __ 17）の構成を、図 26 に示すような構成に変更することもできる。

40

【0252】

ここで、時間間隔変換装置 150 に備えられる遅延回路 115 の別の構成について説明

50

する。図 26 は、本発明の第 1 の実施形態の内視鏡システム 1 に備えた別の時間間隔変換装置 150 における遅延回路 115 の別の構成の一例を示したブロック図である。図 26 には、4 個のトランジスタで構成した遅延回路 115 の別の構成の一例を示している。図 26 において、遅延回路 115 は、2 個の PMOS トランジスタ 124 __ 1 および 124 __ 2 と、2 個の NMOS トランジスタ 124 __ 3 および 124 __ 4 と、電源 V1 および電源 V2 と、を備えている。

【0253】

PMOS トランジスタ 124 __ 1 は、ゲート端子が遅延回路 115 の入力端子 115 a に、ソース端子が電源 V1 に、ドレイン端子が PMOS トランジスタ 124 __ 2 のゲート端子、NMOS トランジスタ 124 __ 4 のゲート端子、および NMOS トランジスタ 124 __ 3 のドレイン端子に、それぞれ接続されている。また、NMOS トランジスタ 124 __ 3 は、ゲート端子が遅延回路 115 の入力端子 115 a に、ソース端子が GND および NMOS トランジスタ 124 __ 4 のソース端子に、それぞれ接続されている。また、PMOS トランジスタ 124 __ 2 は、ソース端子が電源 V2 に、ドレイン端子が遅延回路 115 の出力端子 115 b および NMOS トランジスタ 124 __ 4 のドレイン端子に、それぞれ接続されている。また、NMOS トランジスタ 124 __ 4 は、ドレイン端子が遅延回路 115 の出力端子 115 b に接続されている。

【0254】

遅延回路 115 では、電源 V1 の電圧を電源 V2 の電圧よりも低い値に設定し、NMOS トランジスタ 124 __ 3 のチャネル長 L とチャネル幅 W との比 W/L を、NMOS トランジスタ 124 __ 4 の比 W/L より大きく設定し、PMOS トランジスタ 124 __ 1 の比 W/L を、PMOS トランジスタ 124 __ 2 の比 W/L より小さく設定している。このように、電源の電圧やそれぞれのトランジスタの比 W/L を設定することによって、PMOS トランジスタ 124 __ 1 と NMOS トランジスタ 124 __ 3 とで構成される前段のインバータ回路の閾値電圧を、PMOS トランジスタ 124 __ 2 と NMOS トランジスタ 124 __ 4 とで構成される後段のインバータ回路の閾値電圧よりも低い値に設定することができる。

【0255】

これにより、遅延回路 115 では、入力端子 115 a に入力された信号が、“L” レベルから “H” レベルに切り替わったときに、出力端子 115 b に出力される出力信号の遅延時間、すなわち、時間 Δt を短くすることができる。時間間隔変換装置 150 では、このような構成の遅延回路 115 を用いることによって、出力するデジタル信号の分解能を向上させることができる。

【0256】

なお、遅延回路 115 における電源の電圧やそれぞれのトランジスタの比 W/L を設定は、上述した設定に限定されるものではない。例えば、電源 V1 の電圧を電源 V2 の電圧よりも高い値に設定し、NMOS トランジスタ 124 __ 3 の比 W/L を NMOS トランジスタ 124 __ 4 の比 W/L より小さく設定し、PMOS トランジスタ 124 __ 1 の比 W/L を PMOS トランジスタ 124 __ 2 の比 W/L より大きく設定することもできる。これにより、前段のインバータ回路の閾値電圧を、後段のインバータ回路の閾値電圧よりも高い値に設定することができ、遅延回路 115 では、入力端子 115 a に入力された信号が、“H” レベルから “L” レベルに切り替わったときに、出力端子 115 b に出力される出力信号の遅延時間（時間 Δt ）を短くすることができる。このことにより、上述した設定の遅延回路 115 を用いたのと同様に、時間間隔変換装置 150 が出力するデジタル信号の分解能を向上させることもできる。

【0257】

また、本実施形態においては、内視鏡スコープの先端部に備えた送信部が、時間変換器から入力された時間情報に基づいて光パルス信号を生成する場合について説明した。しかし、時間変換器から入力された時間情報に基づいて生成する信号は、本発明を実施するための形態に限定されるものではない。例えば、送信部が、時間変換器から入力された時間

10

20

30

40

50

情報に基づいて電気パルス信号を生成する構成にすることもできる。なお、この場合には、伝達部内に備えた光導波路（本実施形態においては、光ファイバ）の代わりに、電気信号を伝送する導線などを備えることになる。また、この場合には、本体部に備えた受信部が、伝送された電気パルス信号をそのまま時間間隔変換装置に出力する構成にすることも可能である。

【0258】

ところで、本実施形態においては、アナログの画素信号の大きさを時間の長さを表す信号に変換して伝送し、伝送された時間の長さを表す信号における時間間隔をデジタルの映像信号に変換するA/D変換器を内視鏡システムに適用した場合について説明した。つまり、アナログ信号の大きさを時間の長さで表す時間情報に変換し、時間情報をデジタル信号に変換することによって、アナログ信号をデジタル信号に変換するA/D変換器を内視鏡システムに適用した場合について説明した。しかし、本実施形態において内視鏡システムに適用したA/D変換器を適用することができるシステムは、内視鏡システムに限定されるものではなく、様々なシステムに、本発明の考え方のA/D変換器を適用することができる。

10

【0259】

< A/D変換器 >

ここで、様々なシステムに適用することができる本発明の考え方のA/D変換器について説明する。図27は、本発明のA/D変換器の概略構成の一例を示したブロック図である。図27において、A/D変換器200は、電圧時間変換装置210と、同軸ケーブル220と、時間デジタル変換装置230と、除算器240と、を備えている。なお、図27に示したA/D変換器200は、第1の実施形態の内視鏡システム1と同様に、アナログ入力信号の大きさを時間情報で表して伝送し、伝送した時間情報に基づいて変換した最終的なデジタル出力信号を出力する構成の一例を示している。

20

【0260】

電圧時間変換装置210は、入力されたアナログ入力信号の大きさを、時間幅（時間間隔）に変換した時間情報を、電気パルス信号として同軸ケーブル220に出力する。なお、A/D変換器200では、図2に示した第1の実施形態の内視鏡システム1の先端部5に備えた時間変換器12および送信部13に相当する機能を、電圧時間変換装置210が行っている。ただし、第1の実施形態の内視鏡システム1においては、送信部13が光パルス信号を伝送していたのみ対し、電圧時間変換装置210では、電気信号である電気パルス信号を同軸ケーブル220に伝送する。

30

【0261】

より具体的には、電圧時間変換装置210は、内視鏡システム1における時間変換器12と同様に、入力されたアナログ入力信号の大きさに応じた時間間隔が開始されるタイミングと、終了されるタイミングとを表すそれぞれのパルス信号を時間情報として生成する。そして、電圧時間変換装置210は、内視鏡システム1における送信部13と同様に、生成した時間情報に基づいて、アナログ入力信号の大きさをパルス幅で表した電気パルス信号を生成し、生成した電気パルス信号を同軸ケーブル220に伝送する。電圧時間変換装置210には、アナログ入力信号が入力端子210aに入力され、生成した電気パルス信号を出力端子210bから出力する。なお、電圧時間変換装置210の構成と、電圧時間変換装置210によるアナログ入力信号から時間情報を生成する方法および時間情報から電気パルス信号を生成する方法に関する詳細な説明は、後述する。

40

【0262】

同軸ケーブル220は、電気信号を伝送するための導体（信号線）の周囲に、外部から入ってくるノイズを遮断するために、例えば、接地レベルにされた別の導体を備えたケーブルである。同軸ケーブル220は、信号線によって、電圧時間変換装置210から伝送された電気パルス信号を、時間デジタル変換装置230に伝送する。

【0263】

時間デジタル変換装置230は、同軸ケーブル220を介して電圧時間変換装置210

50

から伝送された電気パルス信号に基づいて、電圧時間変換装置 210 が変換したアナログ入力信号の大きさを表す時間情報を検出する。そして、時間デジタル変換装置 230 は、検出した時間情報に基づいて、時間情報が表す時間の長さ（時間間隔）を 2 進のデジタル信号、すなわち、A/D 変換器 200 に入力されたアナログ入力信号の大きさを表す 2 進のデジタル信号に変換する。時間デジタル変換装置 230 は、変換したデジタル信号を、除算器 240 に出力する。時間デジタル変換装置 230 には、同軸ケーブル 220 によって電圧時間変換装置 210 から伝送されてきた電気パルス信号が入力端子 230a に入力され、検出した時間情報を出力端子 230b から出力する。

【0264】

除算器 240 は、時間デジタル変換装置 230 から入力されたデジタル信号に対して予め定めた処理を行い、A/D 変換器 200 に入力されたアナログ入力信号の大きさを表す最終的な 2 進のデジタル出力信号を出力する。除算器 240 には、時間デジタル変換装置 230 から出力された時間情報が入力端子 240a に入力され、変換した最終的なデジタル出力信号を出力端子 240b から出力する。

【0265】

なお、A/D 変換器 200 では、図 2 に示した第 1 の実施形態の内視鏡システム 1 の本体部 3 に備えた受信部 14 および時間間隔変換装置 15 に相当する機能を、時間デジタル変換装置 230 および除算器 240 で行っている。これにより、A/D 変換器 200 に入力されたアナログ入力信号がデジタル出力信号に変換、すなわち、A/D（アナログ/デジタル）変換される。なお、時間デジタル変換装置 230 による時間情報の検出方法と時間情報からデジタル出力信号への変換方法、および除算器 240 による最終的なデジタル出力信号への変換方法に関する詳細な説明は、後述する。

【0266】

次に、A/D 変換器 200 の動作についてより詳しく説明する。より具体的には、電圧時間変換装置 210 によるアナログ入力信号から時間情報を生成する方法および時間情報から電気パルス信号を生成する方法と、時間デジタル変換装置 230 による時間情報の検出とデジタル出力信号への変換方法、および除算器 240 による最終的なデジタル出力信号への変換方法との具体的な例について説明する。

【0267】

<アナログ入力信号から時間情報を生成する方法および時間情報から電気パルス信号を生成する方法の一例>

まず、A/D 変換器 200 に備えた電圧時間変換装置 210 の一例について説明する。図 28 は、本発明の A/D 変換器 200 に備えた電圧時間変換装置 210 の概略構成の一例を示したブロック図である。図 28 には、10 個の論理否定回路（インバータ回路）を反転回路とし、それぞれの反転回路が直列に接続された電圧時間変換装置 210 の構成の一例を示している。図 28 において、電圧時間変換装置 210 は、パルス発生器 211 と、10 個の反転回路 212₁ ~ 212₁₀ と、エッジ検出回路 213 と、を備えている。なお、以下の説明においては、反転回路 212₁ ~ 212₁₀ のいずれか 1 つの反転回路を示すときには、「反転回路 212」という。

【0268】

パルス発生器 211 は、アナログ入力信号が電圧時間変換装置 210 の入力端子 210a に入力される毎に、入力されたアナログ入力信号の大きさの時間への変換を開始するための IN パルス信号を出力端子 211a に出力する。

【0269】

全ての反転回路 212 の電源端子 212c には、電圧時間変換装置 210 の入力端子 210a に入力されたアナログ入力信号が、電源として入力される。そして、初段の反転回路 212₁ には、パルス発生器 211 が出力した IN パルス信号が入力端子 212a に入力され、次段以降の各反転回路 212 には、前段の反転回路 212 の出力信号が入力端子 212a に入力される。なお、それぞれの反転回路 212 の構成は、図 6 に示した内視鏡システム 1 における時間変換器 12 に備えた反転回路 18 と同様の構成であるため、反

10

20

30

40

50

転回路 2 1 2 の動作に関する詳細な説明は省略する。

【 0 2 7 0 】

それぞれの反転回路 2 1 2 は、入力端子 2 1 2 a に入力された I N パルス信号、または前段の反転回路 2 1 2 の出力信号を反転（論理否定）した信号を、電源端子 2 1 2 c に入力された電源の電圧値に応じた遅延時間だけ遅延させて、出力端子 2 1 2 b から出力する。すなわち、それぞれの反転回路 2 1 2 は、入力端子 2 1 2 a に入力された信号を、電源端子 2 1 2 c に入力されたアナログ入力信号の電圧値に応じて遅延させて、出力端子 2 1 2 b から出力する。これにより、最終段の反転回路 2 1 2 __ 1 0 の出力端子 2 1 2 b から、パルス発生器 2 1 1 が発生した I N パルス信号を、電源端子 2 1 2 c に入力された電源の電圧値に応じて 1 0 段分遅延させたパルス信号（以下、「D E L A Y パルス信号」という）が出力される。

10

【 0 2 7 1 】

なお、パルス発生器 2 1 1 の出力端子 2 1 1 a から出力する I N パルス信号は、入力されたアナログ入力信号の大きさに応じた時間間隔が開始されるタイミングを表すパルス信号である。また、最終段の反転回路 2 1 2 __ 1 0 の出力端子 2 1 2 b から出力する D E L A Y パルス信号は、入力されたアナログ入力信号の大きさに応じた時間間隔が終了されるタイミングを表すパルス信号である。電圧時間変換装置 2 1 0 においては、パルス発生器 2 1 1 が出力した I N パルス信号と、反転回路 2 1 2 __ 1 0 が出力した D E L A Y パルス信号とが、入力されたアナログ入力信号の大きさを時間の長さに変換するための時間情報である。

20

【 0 2 7 2 】

エッジ検出回路 2 1 3 には、パルス発生器 2 1 1 が出力した I N パルス信号が入力端子 2 1 3 a に入力され、反転回路 2 1 2 __ 1 0 が出力した D E L A Y パルス信号が入力端子 2 1 3 b に入力される。そして、エッジ検出回路 2 1 3 は、入力されたパルス発生器 2 1 1 が出力した I N パルス信号のエッジのタイミングから、反転回路 2 1 2 __ 1 0 が出力した D E L A Y パルス信号のエッジのタイミングまでの電気パルス信号を生成し、生成した電気パルス信号を、出力端子 2 1 3 c から出力する。ここで、エッジ検出回路 2 1 3 が出力端子 2 1 3 c から出力する電気パルス信号が、電圧時間変換装置 2 1 0 がアナログ入力信号の大きさをパルス幅で表した O U T パルス信号として、出力端子 2 1 0 b から出力される。

30

【 0 2 7 3 】

ここで、電圧時間変換装置 2 1 0 の動作について説明する。図 2 9 は、本発明の A / D 変換器 2 0 0 に備えた電圧時間変換装置 2 1 0 における電気パルス信号の生成方法を示したタイミングチャートである。図 2 9 には、入力されたアナログ入力信号から時間情報を生成するタイミングおよび時間情報から電気パルス信号を生成するタイミングを示している。

【 0 2 7 4 】

電圧時間変換装置 2 1 0 は、時間に変換すべきアナログ入力信号が、電源として電圧時間変換装置 2 1 0 の入力端子 2 1 0 a に入力された後、パルス発生器 2 1 1 が、図 2 9 に示したような I N パルス信号を、出力端子 2 1 1 a から出力する。そして、それぞれの反転回路 2 1 2 が、入力端子 2 1 2 a に入力された I N パルス信号を電源端子 2 1 2 c に入力された電源、すなわち、アナログ入力信号の電圧値に応じた遅延時間だけ順次遅延させ、最終段の反転回路 2 1 2 __ 1 0 は、図 2 9 に示したような D E L A Y パルス信号を、出力端子 2 1 2 b から出力する。

40

【 0 2 7 5 】

パルス発生器 2 1 1 が出力した I N パルス信号の立ち上がりエッジのタイミングと、反転回路 2 1 2 __ 1 0 が出力した D E L A Y パルス信号の立ち上がりエッジのタイミングとの時間差が、電源として電圧時間変換装置 2 1 0 の入力端子 2 1 0 a に入力されたアナログ入力信号の大きさに応じた時間、すなわち、アナログ入力信号を時間の長さに変換したときの変換時間 D である。

50

【0276】

エッジ検出回路213は、入力端子213aに入力された、パルス発生器211が出力したINパルス信号の立ち上がりエッジのタイミングから、入力端子213bに入力された、反転回路212—10が出力したDELAYパルス信号の立ち上がりエッジのタイミングまでの電気パルス信号(OUTパルス信号)を、出力端子213c、すなわち、電圧時間変換装置210の出力端子210bから出力する。

【0277】

このようにして、A/D変換器200に備えた電圧時間変換装置210では、入力されたアナログ入力信号に基づいた時間情報を生成し、生成した時間情報に基づいた電気パルス信号(OUTパルス信号)を出力する。

10

【0278】

なお、電圧時間変換装置210に入力されたアナログ入力信号と変換時間Dとの関係は、図7に示した内視鏡システム1に備えた時間変換器12における画素信号(電源Vin)と変換時間Dとの関係と同様に、1次の分数関数の関係になっている。すなわち、図7に示した画素信号(電源Vin)と変換時間Dとの関係において、画素信号(電源Vin)をアナログ入力信号に置き換えて考えた上式(1)で表される関係になっている。従って、電圧時間変換装置210におけるアナログ入力信号と変換時間Dとの関係に関する詳細な説明は省略する。

【0279】

<時間情報の検出とデジタル出力信号への変換方法、および最終的なデジタル出力信号への変換方法の一例>

20

【0280】

A/D変換器200では、上式(1)のように表される変換時間Dでアナログ入力信号の大きさが時間の長さに変換されることが事前にわかっている。このため、A/D変換器200では、事前にわかっているアナログ入力信号と変換時間Dとの関係に基づいて、第1の実施形態の内視鏡システム1において図8に示したような、ほぼ一次関数の関係を有する最終的なデジタル出力信号を生成することができる。

【0281】

より具体的には、時間デジタル変換装置230が、同軸ケーブル220を介して電圧時間変換装置210から伝送された電気パルス信号から、アナログ入力信号の大きさを表す時間情報を検出し、検出した時間情報に基づいて、アナログ入力信号の大きさを表す2進のデジタル信号に変換する。そして、除算器240が、予め定めた定数を、時間デジタル変換装置230から出力されたデジタル信号(変換時間D)で除算することによって、図8に示したようなほぼ一次関数の関係を有する最終的なデジタル出力信号を生成して出力する。ここで、図8は、画素信号(電源Vin)をアナログ入力信号に、デジタルの映像信号を時間デジタル変換装置230が出力したデジタル信号に、それぞれ置き換えることによって、除算器240が任意の定数Aをデジタル信号(変換時間D)で除算して生成する、傾きがA/bでアナログ入力信号と比例したデジタル出力信号(=A/D)の関係を示すものとなる。

30

【0282】

なお、時間デジタル変換装置230の構成は、内視鏡システム1における時間間隔変換装置15の構成と同様である。また、除算器240は、一般的な論理回路で容易に構成することができる。また、時間デジタル変換装置230と除算器240とによる時間情報の最終的なデジタル出力信号への変換動作は、内視鏡システム1における時間間隔変換装置15の動作と同様である。従って、時間デジタル変換装置230と除算器240との構成および動作に関する詳細な説明は省略する。

40

【0283】

上記に述べたとおり、A/D変換器200は、アナログ入力信号を電圧時間変換装置210で上式(1)に示した変換時間Dの関係をもつ電気パルス信号を生成して伝送する。そして、A/D変換器200は、時間デジタル変換装置230で伝送されてきた電気パル

50

ス信号からデジタル信号に変換し、さらに除算器 240 で予め定めた任意の定数を変換したデジタル信号で除算することによって、最終的なデジタル出力信号を生成する。これにより、A/D変換器 200 では、アナログ入力信号と略比例した関係を有するデジタル出力信号を生成することができ、A/D変換のリニアリティを向上させることができる。

【0284】

また、A/D変換器 200 では、電圧時間変換装置 210 内のそれぞれの反転回路 212 を、図 6 に示した内視鏡システム 1 における時間変換器 12 に備えた反転回路 18 と同様の構成にする。これにより、A/D変換器 200 では、入力されたアナログ入力信号の大きさを時間間隔で表した電気パルス信号を、図 28 に示したような小さい回路規模の電圧時間変換装置 210 で生成することができる。

10

【0285】

なお、A/D変換器 200 では、電圧時間変換装置 210 が生成した電気パルス信号（OUTパルス信号）を、電気信号を伝送するための導体（信号線）である同軸ケーブル 220 で伝送する場合について説明したが、OUTパルス信号を伝送する方法は、同軸ケーブル 220 による方法に限定されるものではない。例えば、電圧時間変換装置 210 が、OUTパルス信号を光パルス信号に変換し、変換した光パルス信号を光ファイバで伝送することもできる。この場合には、電圧時間変換装置 210 内に、電気パルス信号を光パルス信号に変換する変換装置を備え、時間デジタル変換装置 230 内に、光パルス信号を電気パルス信号に変換する変換装置を備える構成が考えられる。

20

【0286】

< A/D変換器の別の構成 >

次に、様々なシステムに適用することができる本発明の考え方の A/D変換器の別の構成について説明する。図 30 は、本発明の A/D変換器の概略構成の別の一例を示したブロック図である。図 30 において、A/D変換器 300 は、電圧時間変換装置 310 と、シリアルライザ 320 と、E/O変換装置 330 と、光ファイバ 340 と、O/E変換装置 350 と、デシリアルライザ 360 と、5 個の時間デジタル変換装置 230 __ 1 ~ 230 __ 5 と、選択乗算装置 370 と、除算器 240 と、を備えている。なお、図 30 に示した A/D変換器 300 は、第 3 の実施形態の内視鏡システム 30 と同様に、アナログ入力信号の大きさを 5 種類の時間情報で表して伝送し、伝送した時間情報に基づいて 5 種類のデジタル信号に変換した後に、1 つのデジタル信号を選択して最終的なデジタル出力信号として出力する構成の一例を示している。なお、以下の説明においては、A/D変換器 300 の構成要素において、図 27 に示した A/D変換器 200 の構成要素と同様の構成要素には、同一の符号を用いて説明する。

30

【0287】

電圧時間変換装置 310 は、入力されたアナログ入力信号の大きさを、異なる複数の時間の長さに変換するための複数の時間情報を、それぞれシリアルライザ 320 に出力する。より具体的には、電圧時間変換装置 310 は、入力されたアナログ入力信号の大きさを、異なる複数の時間幅（時間間隔）で表すための複数の電気パルス信号（OUTパルス信号）を生成する。図 30 に示した A/D変換器 300 における電圧時間変換装置 310 は、アナログ入力信号の大きさを 5 種類の時間情報で表す場合の一例を示している。

40

【0288】

電圧時間変換装置 310 には、アナログ入力信号が入力端子 310 a に入力され、生成した 5 種類の OUTパルス信号を、出力端子 310 b ~ 出力端子 310 f からそれぞれ出力する。ここで、電圧時間変換装置 310 は、出力端子 310 b から出力する OUTパルス信号が表す時間幅を 1 倍としたとき、出力端子 310 c ~ 出力端子 310 f のそれぞれから出力する OUTパルス信号が表す時間幅は、それぞれ 2 倍、3 倍、4 倍、および 5 倍の時間幅となるように構成されている。なお、電圧時間変換装置 310 の構成、および電圧時間変換装置 310 によるアナログ入力信号から複数の時間情報を生成する方法に関する詳細な説明は、後述する。

【0289】

50

シリアルライザ 320 は、電圧時間変換装置 310 から入力された複数の OUT パルス信号に基づいて、複数の時間情報が含まれる 1 つの電気パルス信号（以下、「シリアル信号」という）を生成するパラレル - シリアル変換装置である。より具体的には、シリアルライザ 320 は、電圧時間変換装置 310 から並列（パラレル）に入力された 5 種類の OUT パルス信号をパラレル - シリアル変換して、5 種類の時間情報のそれぞれをパルス幅で表した 1 つのシリアル信号を生成し、生成したシリアル信号を E / O 変換装置 330 に出力する。

【0290】

シリアルライザ 320 には、電圧時間変換装置 310 から出力された 5 種類の OUT パルス信号のそれぞれが入力端子 320 b ~ 入力端子 320 f に入力され、生成したシリアル信号を出力端子 320 a から出力する。なお、シリアルライザ 320 による複数の OUT パルス信号から 1 つのシリアル信号を生成する方法に関する詳細な説明は、後述する。

10

【0291】

E / O 変換装置 330 は、シリアルライザ 320 から入力された電気パルス信号（シリアル信号）を光パルス信号に変換し、変換した光パルス信号を光ファイバ 340 に出力する。E / O 変換装置 330 には、シリアルライザ 320 から出力されたシリアル信号が入力端子 330 a に入力され、変換した光パルス信号を出力端子 330 b から出力する。

【0292】

なお、A / D 変換器 300 では、図 17 に示した第 3 の実施形態の内視鏡システム 30 の先端部 53 に備えた時間変換器 19 および送信部 21 に相当する機能を、電圧時間変換装置 310 と、シリアルライザ 320 と、E / O 変換装置 330 とで行っている。これにより、A / D 変換器 300 に入力されたアナログ入力信号の大きさを表す複数の時間情報が伝送される。なお、A / D 変換器 300 では、内視鏡システム 30 と同様に、時間情報を光パルス信号で伝送する場合を示している。

20

【0293】

光ファイバ 340 は、E / O 変換装置 330 から伝送された光パルス信号を、O / E 変換装置 350 に伝送する。なお、光ファイバ 340 は、内視鏡システム 30 における伝達部 10 に備えた光導波路（光ファイバ）と同様である。

【0294】

O / E 変換装置 350 は、光ファイバ 340 を介して E / O 変換装置 330 から伝送された光パルス信号を、再び電気パルス信号（シリアル信号）に変換し、変換したシリアル信号をデシリアルライザ 360 に出力する。O / E 変換装置 350 には、光ファイバ 340 によって E / O 変換装置 330 から伝送されてきた光パルス信号が入力端子 350 a に入力され、変換したシリアル信号を出力端子 350 b から出力する。

30

【0295】

デシリアルライザ 360 は、O / E 変換装置 350 から入力された 1 つのシリアル信号に基づいて、電圧時間変換装置 310 が出力した異なる複数の時間の長さで表されるそれぞれの OUT パルス信号と同等の OUT パルス信号を生成するシリアル - パラレル変換装置である。より具体的には、デシリアルライザ 360 は、O / E 変換装置 350 から入力されたシリアル信号をシリアル - パラレル変換して、シリアル信号が表す複数の時間情報のそれぞれを、再び別々のパルス幅で表した複数の OUT パルス信号を生成し、生成した OUT パルス信号のそれぞれを、対応する時間デジタル変換装置 230 のそれぞれに出力する。図 30 には、デシリアルライザ 360 が、1 つのシリアル信号として伝送されてきた、電圧時間変換装置 310 が生成した 5 種類の OUT パルス信号と同等の OUT パルス信号のそれぞれを、対応する時間デジタル変換装置 230 __ 1 ~ 230 __ 5 のそれぞれに出力する場合の一例を示している。

40

【0296】

デシリアルライザ 360 には、O / E 変換装置 350 から出力されたシリアル信号が入力端子 360 a に入力され、生成した 5 種類の OUT パルス信号を出力端子 360 b ~ 出力端子 360 f のそれぞれから出力する。なお、デシリアルライザ 360 による 1 つのシリア

50

ル信号から複数のOUTパルス信号を生成する方法に関する詳細な説明は、後述する。

【0297】

時間デジタル変換装置230__1~230__5のそれぞれは、デシリアライザ360から入力された対応するOUTパルス信号に基づいて、電圧時間変換装置310が変換したアナログ入力信号の大きさを表すそれぞれの時間情報を検出し、検出したそれぞれの時間情報が表す時間間隔を2進のデジタル信号のそれぞれに変換する。時間デジタル変換装置230__1~230__5のそれぞれは、変換したそれぞれのデジタル信号を、選択乗算装置370に出力する。時間デジタル変換装置230__1~230__5のそれぞれは、電圧時間変換装置310のその出力端子から出力されるOUTパルス信号が表す5種類の時間幅のそれぞれに対応している。図30に示したA/D変換器300における時間デジタル変換装置230__1~230__5は、電圧時間変換装置310が出力する5種類の時間情報のそれぞれに対応した構成の一例を示している。なお、以下の説明においては、時間デジタル変換装置230__1~230__5のいずれか1つの時間デジタル変換装置を示すときには、「時間デジタル変換装置230」という。

10

【0298】

より具体的には、時間デジタル変換装置230__1は、電圧時間変換装置310の出力端子310bから出力される時間情報(OUTパルス信号)の時間幅に対応し、1倍の時間幅を表すデジタル信号を出力する。また、時間デジタル変換装置230__2は、電圧時間変換装置310の出力端子310cから出力される時間情報(OUTパルス信号)の時間幅に対応し、2倍の時間幅を表すデジタル信号を出力する。また、時間デジタル変換装置230__3は、電圧時間変換装置310の出力端子310dから出力される時間情報(OUTパルス信号)の時間幅に対応し、3倍の時間幅を表すデジタル信号を出力する。また、時間デジタル変換装置230__4は、電圧時間変換装置310の出力端子310eから出力される時間情報(OUTパルス信号)の時間幅に対応し、4倍の時間幅を表すデジタル信号を出力する。また、時間デジタル変換装置230__5は、電圧時間変換装置310の出力端子310fから出力される時間情報(OUTパルス信号)の時間幅に対応し、5倍の時間幅を表すデジタル信号を出力する。なお、時間デジタル変換装置230__1~230__5のそれぞれは、A/D変換器200に備えた時間デジタル変換装置230と同様の機能および動作であるため、詳細な説明は省略する。

20

【0299】

選択乗算装置370は、時間デジタル変換装置230__1~230__5のそれぞれから入力された複数のデジタル信号の中から、予め定めたA/D変換の信号処理期間内に変換を完了したデジタル信号の内、変換前の時間間隔が最長であるデジタル信号を選択し、選択したデジタル信号に応じた予め定めた定数を乗算して除算器240に出力する。図30に示したA/D変換器300における選択乗算装置370は、アナログ入力信号の大きさを表す5種類のデジタル信号から1つのデジタル信号を選択する構成の一例を示している。選択乗算装置370には、時間デジタル変換装置230__1~230__5のそれぞれから出力された5種類のOUTパルス信号が入力端子370b~入力端子370fのそれぞれに入力され、予め定めた定数を乗算したデジタル信号を出力端子370aから出力する。

30

40

【0300】

選択乗算装置370において、選択したデジタル信号に乗算する定数は、時間デジタル変換装置230__1~230__5のいずれの時間デジタル変換装置230から入力されたデジタル信号を選択した場合でも、同じ大きさのアナログ入力信号を表すデジタル信号を同じ尺度で処理することができるようにするための定数である。これにより、同じ大きさのアナログ入力信号を表すデジタル信号が、いずれの時間デジタル変換装置230から出力された場合でも、選択乗算装置370から同じデジタル信号を、除算器240に出力することができる。

【0301】

より具体的には、選択乗算装置370が、内視鏡システム30における選択装置23と

50

同様に、時間デジタル変換装置 230__1 から入力されたデジタル信号を、例えば、予め定めた一定の倍率である 60 倍したデジタル信号、すなわち、1 倍の時間幅のデジタル信号を、1 倍～5 倍の時間幅の最小公倍数である 60 倍にしたデジタル信号を、除算器 240 に出力する場合を考える。このとき、選択乗算装置 370 が、時間デジタル変換装置 230__1 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、電圧時間変換装置 310 が出力した 1 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 60 倍して除算器 240 に出力する。また、選択乗算装置 370 が、時間デジタル変換装置 230__2 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、電圧時間変換装置 310 が出力した 2 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 30 倍して除算器 240 に出力する。また、選択乗算装置 370 が、時間デジタル変換装置 230__3 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、電圧時間変換装置 310 が出力した 3 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 20 倍して除算器 240 に出力する。また、選択乗算装置 370 が、時間デジタル変換装置 230__4 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、電圧時間変換装置 310 が出力した 4 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 15 倍して除算器 240 に出力する。また、選択乗算装置 370 が、時間デジタル変換装置 230__5 から入力されたデジタル信号を最大のデジタル信号として選択した場合、すなわち、電圧時間変換装置 310 が出力した 5 倍の時間幅を表す時間情報に基づいたデジタル信号を選択した場合、選択したデジタル信号を 12 倍して除算器 240 に出力する。これにより、選択乗算装置 370 から除算器 240 に出力するデジタル信号は、時間デジタル変換装置 230__1～230__5 のいずれの時間デジタル変換装置 230 の信号が選択された場合でも、同じ尺度のアナログ入力信号を表すデジタル信号となる。

10

20

30

40

50

【0302】

このように、選択乗算装置 370 が、電圧時間変換装置 310 が時間情報を出力する際、この特性（倍率）に応じた通倍処理を、出力するデジタル信号に対して行うことによって、除算器 240 では、時間デジタル変換装置 230__1～230__5 のいずれの時間デジタル変換装置 230 から出力されたデジタル信号であっても、同じ尺度で処理することができる。なお、選択乗算装置 370 による複数のデジタル信号から 1 つのデジタル信号を選択する方法に関する詳細な説明は、後述する。

【0303】

除算器 240 は、選択乗算装置 370 から入力されたデジタル信号に対して予め定めた処理を行い、A/D変換器 300 に入力されたアナログ入力信号の大きさを表す最終的な 2 進のデジタル出力信号を出力する。なお、除算器 240 は、A/D変換器 200 に備えた除算器 240 と同様の機能および動作であるため、詳細な説明は省略する。

【0304】

なお、A/D変換器 300 では、図 17 に示した第 3 の実施形態の内視鏡システム 30 の本体部 33 に備えた受信部 22 と、5 個の時間間隔変換装置 15__1～15__5 と、選択装置 23 とに相当する機能を、O/E変換装置 350 と、デシリアライザ 360 と、5 個の時間デジタル変換装置 230__1～230__5 と、選択乗算装置 370 と、除算器 240 とで行っている。これにより、A/D変換器 300 に入力されたアナログ入力信号がデジタル出力信号に変換、すなわち、A/D（アナログ/デジタル）変換される。なお、時間デジタル変換装置 230 による時間情報の検出方法と時間情報からデジタル出力信号への変換方法、および除算器 240 による最終的なデジタル出力信号への変換方法は、A/D変換器 200 におけるそれぞれの方法と同様であるため、詳細な説明は省略する。

【0305】

次に、A/D変換器 300 の動作についてより詳しく説明する。より具体的には、電圧時間変換装置 310 によるアナログ入力信号から複数の時間情報を生成する方法、および

シリアルライザ 320 による複数の OUT パルス信号から 1 つのシリアル信号を生成する方法と、デシリアルライザ 360 による 1 つのシリアル信号から複数の OUT パルス信号を生成する方法、および選択乗算装置 370 による複数のデジタル信号から 1 つのデジタル信号を選択する方法との具体的な例について説明する。なお、ここでは、電圧時間変換装置 310 が 5 種類の時間情報を生成し、シリアルライザ 320 が 5 種類の OUT パルス信号から 1 つのシリアル信号を生成する方法と、デシリアルライザ 360 が 1 つのシリアル信号から 5 種類の OUT パルス信号を生成し、選択乗算装置 370 が 5 種類のデジタル信号から 1 つのデジタル信号を選択する方法との一例について説明する。

【0306】

<アナログ入力信号から 5 種類の時間情報を生成する方法、および 5 種類の OUT パルス信号から 1 つのシリアル信号を生成する方法の一例>

まず、A/D 変換器 300 に備えた電圧時間変換装置 310 の一例について説明する。図 31 は、本発明の別の A/D 変換器である A/D 変換器 300 に備えた電圧時間変換装置 310 の概略構成の一例を示したブロック図である。図 31 には、50 個の反転回路が直列に接続された電圧時間変換装置 310 の構成の一例を示している。図 31 において、電圧時間変換装置 310 は、パルス発生器 211 と、50 個の反転回路 212 __ 1 ~ 212 __ 50 と、5 個のエッジ検出回路 213 __ 1 ~ 213 __ 5 と、を備えている。

【0307】

電圧時間変換装置 310 は、図 28 に示した A/D 変換器 200 に備えた電圧時間変換装置 210 の反転回路 212 の個数を増加し、10 個の反転回路 212 の毎にエッジ検出回路 213 を備え、それぞれのエッジ検出回路 213 が OUT パルス信号を出力することのみが異なる。従って、以下の説明においては、A/D 変換器 200 に備えた電圧時間変換装置 210 と同様の機能および動作である構成要素には同一の符号を用い、電圧時間変換装置 310 のそれぞれの構成要素の詳細な説明は省略する。なお、反転回路 212 __ 1 ~ 212 __ 50 のいずれか 1 つの反転回路を示すときには、図 28 に示した時間変換器 12 と同様に、「反転回路 212」という。また、エッジ検出回路 213 __ 1 ~ 213 __ 5 のいずれか 1 つのエッジ検出回路 213 を示すときには、「エッジ検出回路 213」という。

【0308】

電圧時間変換装置 310 では、パルス発生器 211、反転回路 212 __ 1 ~ 212 __ 10、およびエッジ検出回路 213 __ 1 で 1 つの回路群が構成される。また、電圧時間変換装置 310 では、パルス発生器 211、反転回路 212 __ 1 ~ 212 __ 20、およびエッジ検出回路 213 __ 2 で 1 つの回路群が構成される。また、電圧時間変換装置 310 では、パルス発生器 211、反転回路 212 __ 1 ~ 212 __ 30、およびエッジ検出回路 213 __ 3 で 1 つの回路群が構成される。また、電圧時間変換装置 310 では、パルス発生器 211、反転回路 212 __ 1 ~ 212 __ 40、およびエッジ検出回路 213 __ 4 で 1 つの回路群が構成される。また、電圧時間変換装置 310 では、パルス発生器 211、反転回路 212 __ 1 ~ 212 __ 50、およびエッジ検出回路 213 __ 5 で 1 つの回路群が構成される。電圧時間変換装置 310 内で構成されるそれぞれの回路群は、A/D 変換器 200 に備えた電圧時間変換装置 210 と同様に動作する。そして、それぞれの回路群は、入力されたアナログ入力信号の大きさを、反転回路 212 の段数分の遅延時間に相当するパルス幅で表した OUT パルス信号をそれぞれ出力する。

【0309】

パルス発生器 211 は、アナログ入力信号が電圧時間変換装置 310 に入力される毎に、入力されたそれぞれのアナログ入力信号の大きさの時間への変換を開始するための IN パルス信号を出力する。

【0310】

全ての反転回路 212 の電源端子 212 c には、電圧時間変換装置 310 の入力端子 310 a に入力されたアナログ入力信号が、電源として入力される。それぞれの反転回路 212 は、入力端子 212 a に入力された IN パルス信号、または前段の反転回路 212 の

出力信号を反転（論理否定）した信号を、電源端子 2 1 2 c に入力された電源の電圧値に応じた遅延時間だけ遅延させて、出力端子 2 1 2 b から出力する。

【 0 3 1 1 】

これにより、反転回路 2 1 2 __ 1 0 の出力端子 2 1 2 b から、IN パルス信号を 1 0 段分遅延させた第 1 D E L A Y パルス信号が出力される。また、反転回路 2 1 2 __ 2 0 の出力端子 2 1 2 b から、IN パルス信号を 2 0 段分遅延させた、すなわち、第 1 D E L A Y パルス信号の 2 倍の遅延時間の第 2 D E L A Y パルス信号が出力される。また、反転回路 2 1 2 __ 3 0 の出力端子 2 1 2 b から、IN パルス信号を 3 0 段分遅延させた、すなわち、第 1 D E L A Y パルス信号の 3 倍の遅延時間の第 3 D E L A Y パルス信号が出力される。また、反転回路 2 1 2 __ 4 0 の出力端子 2 1 2 b から、IN パルス信号を 4 0 段分遅延させた、すなわち、第 1 D E L A Y パルス信号の 4 倍の遅延時間の第 4 D E L A Y パルス信号が出力される。また、反転回路 2 1 2 __ 5 0 の出力端子 2 1 2 b から、IN パルス信号を 5 0 段分遅延させた、すなわち、第 1 D E L A Y パルス信号の 5 倍の遅延時間の第 5 D E L A Y パルス信号が出力される。

10

【 0 3 1 2 】

なお、パルス発生器 2 1 1 の出力端子 2 1 1 a から出力する IN パルス信号は、入力されたアナログ入力信号の大きさに応じた時間間隔が開始されるタイミングを表すパルス信号である。また、1 0 段毎の反転回路 2 1 2 の出力端子 2 1 2 b からそれぞれ出力する第 1 D E L A Y パルス信号～第 5 D E L A Y パルス信号は、入力されたアナログ入力信号の大きさに応じた時間間隔が終了されるタイミングをそれぞれ表すパルス信号である。電圧時間変換装置 3 1 0 においては、パルス発生器 2 1 1 が出力した IN パルス信号と、1 0 段毎の反転回路 2 1 2 のそれぞれが出力した第 1 D E L A Y パルス信号～第 5 D E L A Y パルス信号のそれぞれとが、入力されたアナログ入力信号の大きさを 1 倍～5 倍の時間の長さに変換するための時間情報である。以下の説明においては、第 1 D E L A Y パルス信号～第 5 D E L A Y パルス信号のいずれか 1 つの D E L A Y パルス信号を示すときには、単に「D E L A Y パルス信号」という。

20

【 0 3 1 3 】

エッジ検出回路 2 1 3 __ 1 ～2 1 3 __ 5 のそれぞれには、パルス発生器 2 1 1 が出力した IN パルス信号が入力端子 2 1 3 a に入力され、対応する反転回路 2 1 2 が出力した D E L A Y パルス信号が入力端子 2 1 3 b に入力される。そして、エッジ検出回路 2 1 3 __ 1 ～2 1 3 __ 5 のそれぞれは、入力されたパルス発生器 2 1 1 が出力した IN パルス信号のエッジのタイミングから、対応する反転回路 2 1 2 が出力した D E L A Y パルス信号のエッジのタイミングまでの電気パルス信号を生成し、生成した電気パルス信号を、それぞれの O U T パルス信号として出力端子 2 1 3 c から出力する。

30

【 0 3 1 4 】

より具体的には、電圧時間変換装置 3 1 0 は、エッジ検出回路 2 1 3 __ 1 が、パルス発生器 2 1 1 が出力した IN パルス信号と、反転回路 2 1 2 __ 1 0 が出力した第 1 D E L A Y パルス信号とに基づいて生成した O U T パルス信号を、第 1 O U T パルス信号として出力端子 3 1 0 b から出力する。また、電圧時間変換装置 3 1 0 は、エッジ検出回路 2 1 3 __ 2 が、パルス発生器 2 1 1 が出力した IN パルス信号と、反転回路 2 1 2 __ 2 0 が出力した第 2 D E L A Y パルス信号とに基づいて生成した O U T パルス信号を、第 2 O U T パルス信号として出力端子 3 1 0 c から出力する。また、電圧時間変換装置 3 1 0 は、エッジ検出回路 2 1 3 __ 3 が、パルス発生器 2 1 1 が出力した IN パルス信号と、反転回路 2 1 2 __ 3 0 が出力した第 3 D E L A Y パルス信号とに基づいて生成した O U T パルス信号を、第 3 O U T パルス信号として出力端子 3 1 0 d から出力する。また、電圧時間変換装置 3 1 0 は、エッジ検出回路 2 1 3 __ 4 が、パルス発生器 2 1 1 が出力した IN パルス信号と、反転回路 2 1 2 __ 4 0 が出力した第 4 D E L A Y パルス信号とに基づいて生成した O U T パルス信号を、第 4 O U T パルス信号として出力端子 3 1 0 e から出力する。また、電圧時間変換装置 3 1 0 は、エッジ検出回路 2 1 3 __ 5 が、パルス発生器 2 1 1 が出力した IN パルス信号と、反転回路 2 1 2 __ 5 0 が出力した第 5 D E L A Y パルス信号とに

40

50

基づいて生成したOUTパルス信号を、第5OUTパルス信号として出力端子310fから出力する。

【0315】

なお、電圧時間変換装置310の出力端子310b～出力端子310fからそれぞれ出力する第1OUTパルス信号～第5OUTパルス信号は、入力されたアナログ入力信号の大きさに応じた時間間隔をそれぞれ表すパルス信号である。つまり、電圧時間変換装置310が出力する第1OUTパルス信号～第5OUTパルス信号のそれぞれは、電圧時間変換装置310がアナログ入力信号の大きさを、それぞれ1倍、2倍、3倍、4倍、および5倍のパルス幅で表したOUTパルス信号である。以下の説明においては、第1OUTパルス信号～第5OUTパルス信号のいずれか1つのOUTパルス信号を示すときには、単

10

【0316】

このような構成によって、電圧時間変換装置310は、アナログ入力信号の大きさを表した5種類の時間情報、すなわち、出力端子310bから出力するOUTパルス信号が表す時間幅を1倍としたとき、1倍～5倍の時間幅となる5種類の時間情報を、出力端子310b～出力端子310fから出力する。

【0317】

シリアルライザ320は、入力端子320b～入力端子320fのそれぞれに入力された第1OUTパルス信号～第5OUTパルス信号のそれぞれのエッジを検出し、検出したそれぞれのOUTパルス信号の立ち上がりエッジまたは立ち下がりエッジのタイミング毎に論理値が反転する電気パルス信号を生成する。つまり、シリアルライザ320は、電圧時間変換装置310から入力されたそれぞれのOUTパルス信号が表す5種類の時間情報のそれぞれを2値で表した1つのシリアル信号に変換する。そして、シリアルライザ320は、生成したシリアル信号を出力端子320aから出力する。

20

【0318】

ここで、電圧時間変換装置310の動作について説明する。図32は、本発明の別のA/D変換器であるA/D変換器300に備えた電圧時間変換装置310およびシリアルライザ320における電気パルス信号の生成方法を示したタイミングチャートである。図32には、電圧時間変換装置310が入力されたアナログ入力信号から5種類の時間情報(第1OUTパルス信号～第5OUTパルス信号)を生成し、シリアルライザ320が5種類のOUTパルス信号から1つのシリアル信号を生成するタイミングを示している。

30

【0319】

電圧時間変換装置310は、時間に変換すべきアナログ入力信号が、電源として電圧時間変換装置310の入力端子310aに入力された後、パルス発生器211が、図32に示したようなINパルス信号を、出力端子211aから出力する。そして、それぞれの反転回路212が、入力端子212aに入力されたINパルス信号を電源端子212cに入力された電源、すなわち、アナログ入力信号の電圧値に応じた遅延時間だけ順次遅延させたDELAYパルス信号を、それぞれの出力端子212bから出力する。より具体的には、反転回路212__10が第1DELAYパルス信号を、反転回路212__20が第2DELAYパルス信号を、反転回路212__30が第3DELAYパルス信号を、反転回路212__40が第4DELAYパルス信号を、反転回路212__50が第5DELAYパルス信号を、それぞれの出力端子212bから出力する。

40

【0320】

それぞれのエッジ検出回路213は、入力端子213aに入力された、パルス発生器211が出力したINパルス信号の立ち上がりエッジのタイミングから、入力端子213bに入力された、対応する反転回路212が出力したDELAYパルス信号の立ち上がりエッジのタイミングまでの電気パルス信号(OUTパルス信号)を、出力端子213cから出力する。より具体的には、エッジ検出回路213__1が第1OUTパルス信号を、エッジ検出回路213__2が第2OUTパルス信号を、エッジ検出回路213__3が第3OUTパルス信号を、エッジ検出回路213__4が第4OUTパルス信号を、エッジ検出回路

50

2 1 3 __ 5 が第 4 O U T パルス信号を、それぞれの出力端子 2 1 3 c から出力する。

【 0 3 2 1 】

これにより、電圧時間変換装置 3 1 0 は、図 3 2 に示したように、エッジ検出回路 2 1 3 __ 1 が出力した第 1 O U T パルス信号と、エッジ検出回路 2 1 3 __ 2 が出力した第 2 O U T パルス信号と、エッジ検出回路 2 1 3 __ 3 が出力した第 3 O U T パルス信号と、エッジ検出回路 2 1 3 __ 4 が出力した第 4 O U T パルス信号と、エッジ検出回路 2 1 3 __ 5 が出力した第 5 O U T パルス信号とを、時間情報として出力端子 3 1 0 b ~ 出力端子 3 1 0 f から出力する。

【 0 3 2 2 】

上述したように、電圧時間変換装置 3 1 0 内に備えたそれぞれの回路群は、A / D 変換器 2 0 0 に備えた電圧時間変換装置 2 1 0 と同様に動作する。従って、それぞれの回路群における D E L A Y パルス信号は、I N パルス信号に対して入力されたアナログ入力信号の大きさに応じた遅延時間をもった電気パルス信号である。また、電圧時間変換装置 3 1 0 が出力するそれぞれの O U T パルス信号のパルス幅は、入力されたアナログ入力信号の大きさに応じた時間幅を表している。

【 0 3 2 3 】

なお、上述したように、第 1 O U T パルス信号のパルス幅は、I N パルス信号を 1 0 段分遅延させた遅延時間に相当し、第 2 O U T パルス信号のパルス幅は、I N パルス信号を 2 0 段分遅延させた遅延時間に相当し、第 3 O U T パルス信号のパルス幅は、I N パルス信号を 3 0 段分遅延させた遅延時間に相当し、第 4 O U T パルス信号のパルス幅は、I N パルス信号を 4 0 段分遅延させた遅延時間に相当し、第 5 O U T パルス信号のパルス幅は、I N パルス信号を 5 0 段分遅延させた遅延時間に相当する。従って、第 1 O U T パルス信号のパルス幅が、アナログ入力信号の大きさに応じた 1 倍の時間、すなわち、アナログ入力信号を時間の長さに変換したときの 1 倍の変換時間 D であるとする、第 2 O U T パルス信号 ~ 第 5 O U T パルス信号のそれぞれのパルス幅は、それぞれ 2 倍 (変換時間 $D \times 2$)、3 倍 (変換時間 $D \times 3$)、4 倍 (変換時間 $D \times 4$)、および 5 倍 (変換時間 $D \times 5$) の関係となる。

【 0 3 2 4 】

そして、シリアライザ 3 2 0 は、図 3 2 に示したように、入力された第 1 O U T パルス信号 ~ 第 5 O U T パルス信号のそれぞれのエッジに基づいて、論理値を反転させることによって、それぞれの O U T パルス信号が表す 5 種類の時間情報のそれぞれを 2 値で表した 1 つのシリアル信号を生成する。より具体的には、図 3 2 に示したように、第 1 O U T パルス信号の立ち上がりエッジで “ H ” レベルにし、第 1 O U T パルス信号の立ち下がりエッジで “ L ” レベルに反転させ、以降、第 2 O U T パルス信号 ~ 第 5 O U T パルス信号の立ち下がりエッジでそれぞれ論理値を反転させるシリアル信号を生成する。これにより、第 1 O U T パルス信号 ~ 第 5 O U T パルス信号のそれぞれが表す 5 種類の時間情報の全てを、1 つに備えたシリアル信号を生成する、すなわち、パラレル - シリアル変換することができる。なお、シリアライザ 3 2 0 は、一般的な論理回路で容易に構成できるため、具体的な回路構成に関する詳細な説明は省略する。

【 0 3 2 5 】

E / O 変換装置 3 3 0 は、シリアライザ 3 2 0 から入力されたシリアル信号を光パルス信号に変換し、変換した光パルス信号を光ファイバ 3 4 0 に出力する。E / O 変換装置 3 3 0 が光ファイバ 3 4 0 に出力する光パルス信号は、例えば、シリアル信号が “ H ” レベルのときに発光し、シリアル信号が “ L ” レベルのときに消光する光信号である。

【 0 3 2 6 】

また、O / E 変換装置 3 5 0 は、光ファイバ 3 4 0 を介して E / O 変換装置 3 3 0 から伝送された光パルス信号を、再びシリアル信号に変換し、変換したシリアル信号をデシリアライザ 3 6 0 に出力する。O / E 変換装置 3 5 0 デシリアライザ 3 6 0 に出力するシリアル信号は、例えば、光パルス信号が発光しているときに “ H ” レベルとし、光パルス信号が消光しているときに “ L ” レベルとなるシリアル信号である。

10

20

30

40

50

【0327】

なお、時間情報をパルス信号のパルス幅で表して伝送する場合には、パルス信号のエッジのズレが、A/D変換における直接的な誤差に繋がってしまう。これは、パルス信号のエッジのタイミングが入力されたアナログ入力信号の大きさを表す情報であるからである。例えば、抵抗成分が大きい導線でパルス信号を伝送した場合には、導線の抵抗成分によって、パルス信号の立ち上がりや立ち下がり鈍り、パルス信号の立ち上がりエッジや立ち下がりエッジのタイミングを正確に伝送することができなくなってしまう。このため、A/D変換器では、パルス信号を伝送する際のロスによって、パルス信号のエッジの傾きが変化してしまう、つまり、パルス信号の立ち上がりエッジや立ち下がりエッジのタイミングが変化してしまうことは極力避けたい。A/D変換器300では、上述したように、シリアル信号を光信号に変換した光パルス信号で伝送することによって、パルス信号を伝送する際のロスを低減させ、パルス信号のエッジの傾きを保持するため、仮に、シリアル信号を伝送する距離が長い場合でも、伝送する時間情報の誤差を抑えることができる。

10

【0328】

< 1つのシリアル信号から5種類のOUTパルス信号を生成する方法の一例 >

続いて、A/D変換器300に備えたデシリアライザ360の動作について説明する。図33は、本発明の別のA/D変換器であるA/D変換器300に備えたデシリアライザ360における電気パルス信号の生成方法を示したタイミングチャートである。図33には、デシリアライザ360が入力された1つのシリアル信号から5種類の時間情報（第1OUTパルス信号～第5OUTパルス信号）を生成するタイミングを示している。

20

【0329】

デシリアライザ360は、O/E変換装置350から、図33に示したようなシリアル信号が入力端子360aに入力されると、入力されたシリアル信号のそれぞれのエッジを検出する。そして、デシリアライザ360は、検出したそれぞれのエッジのタイミングに基づいて、電圧時間変換装置310が出力した5種類のOUTパルス信号と同等の5種類のOUTパルス信号を生成し、生成した5種類のOUTパルス信号を、出力端子360b～出力端子360fのそれぞれから出力する。

【0330】

より具体的には、デシリアライザ360は、シリアル信号の1回目の立ち上がりエッジのタイミングで立ち上がり、1回目の立ち下がりエッジのタイミングで立ち下がる電気パルス信号、すなわち、変換時間Dを表す電気パルス信号を生成し、第1OUTパルス信号として出力端子360bから出力する。また、デシリアライザ360は、シリアル信号の1回目の立ち上がりエッジのタイミングで立ち上がり、2回目の立ち上がりエッジのタイミングで立ち下がる電気パルス信号、すなわち、変換時間Dの2倍の変換時間 $D \times 2$ を表す電気パルス信号を生成し、第2OUTパルス信号として出力端子360cから出力する。また、デシリアライザ360は、シリアル信号の1回目の立ち上がりエッジのタイミングで立ち上がり、2回目の立ち下がりエッジのタイミングで立ち下がる電気パルス信号、すなわち、変換時間Dの3倍の変換時間 $D \times 3$ を表す電気パルス信号を生成し、第3OUTパルス信号として出力端子360dから出力する。また、デシリアライザ360は、シリアル信号の1回目の立ち上がりエッジのタイミングで立ち上がり、3回目の立ち上がりエッジのタイミングで立ち下がる電気パルス信号、すなわち、変換時間Dの4倍の変換時間 $D \times 4$ を表す電気パルス信号を生成し、第4OUTパルス信号として出力端子360eから出力する。また、デシリアライザ360は、シリアル信号の1回目の立ち上がりエッジのタイミングで立ち上がり、3回目の立ち下がりエッジのタイミングで立ち下がる電気パルス信号、すなわち、変換時間Dの5倍の変換時間 $D \times 5$ を表す電気パルス信号を生成し、第5OUTパルス信号として出力端子360fから出力する。

30

40

【0331】

これにより、デシリアライザ360は、図33に示したような、第1OUTパルス信号を対応する時間デジタル変換装置230__1に、第2OUTパルス信号を対応する時間デジタル変換装置230__2に、第3OUTパルス信号を対応する時間デジタル変換装置2

50

30__3に、第4OUTパルス信号を対応する時間デジタル変換装置230__4に、第5OUTパルス信号を対応する時間デジタル変換装置230__5に、それぞれ出力する。なお、デシリアライザ360は、一般的な論理回路で容易に構成できるため、具体的な回路構成に関する詳細な説明は省略する。

【0332】

時間デジタル変換装置230__1~230__5のそれぞれは、A/D変換器200に備えた時間デジタル変換装置230と同様に、デシリアライザ360から入力された対応するOUTパルス信号に基づいて、電圧時間変換装置310が変換したアナログ入力信号の大きさを表すそれぞれの時間情報を検出し、検出したそれぞれの時間情報が表す時間間隔を2進のデジタル信号のそれぞれに変換する。そして、時間デジタル変換装置230__1~230__5のそれぞれは、変換したデジタル信号のそれぞれを、選択乗算装置370に出力する。

10

【0333】

なお、図32では、電圧時間変換装置310がINパルス信号および第1OUTパルス信号~第5OUTパルス信号を全て出力する、すなわち、5種類の時間情報を全て出力する場合のタイミングチャートを示した。しかし、時間に変換すべき複数のアナログ入力信号が順次入力される場合には、電圧時間変換装置310が、入力されたアナログ入力信号の大きさに基づいて時間情報を出力するために使うことができる時間は、アナログ入力信号の大きさに係わらず同じ時間であることもある。すなわち、電圧時間変換装置310が1つのアナログ入力信号の大きさに応じた時間情報を出力するために使用することができる時間は、予め定めた信号処理期間内に限定されることもある。このため、例えば、アナログ入力信号の電圧値が小さい場合には、パルス発生器211が出力したINパルス信号が、電圧時間変換装置310に備えた全ての反転回路212を通過せず、第1OUTパルス信号~第5OUTパルス信号の全てのOUTパルス信号を出力することができないこともある。

20

【0334】

そこで、電圧時間変換装置310には、信号処理期間が経過する毎に、現在入力されているアナログ入力信号の時間情報への変換の処理をリセットする機能を備える。そして、電圧時間変換装置310は、5種類の時間情報を全て出力していない場合でも、信号処理期間の周期毎にリセットを行い、次に入力されるアナログ入力信号の時間情報への変換処理の準備を行う。これにより、電圧時間変換装置310は、信号処理期間の周期毎に、INパルス信号と、INパルス信号が通過した反転回路212までのOUTパルス信号とを、時間情報として出力する。

30

【0335】

これにより、時間デジタル変換装置230__1~230__5の中には、デシリアライザ360から電気パルス信号が入力されない時間デジタル変換装置230が存在することもある。選択乗算装置370は、信号処理期間内にデシリアライザ360から電気パルス信号が入力され、このパルス信号のパルス幅をデジタル信号に変換した時間デジタル変換装置230の中で、最大のデジタル信号を出力する時間デジタル変換装置230からのデジタル信号を選択して除算器240に出力する。

40

【0336】

< 5種類のデジタル信号から1つのデジタル信号を選択する方法の一例 >

続いて、A/D変換器300に備えた選択乗算装置370によるデジタル信号の選択方法の一例について説明する。なお、A/D変換器300に備えた電圧時間変換装置310が時間情報に変換するアナログ入力信号と変換時間Dとの関係は、図20に示した内視鏡システム30に備えた時間変換器19が時間情報に変換する画素信号(電源Vin)と変換時間Dとの関係と同様に、1次の分数関数の関係になっている。すなわち、図20に示した画素信号(電源Vin)と変換時間Dとの関係において、画素信号(電源Vin)をアナログ入力信号に置き換え、映像信号処理期間を信号処理期間に置き換えた関係になっている。従って、電圧時間変換装置310におけるアナログ入力信号と変換時間Dとの関

50

係に関する詳細な説明は省略する。

【0337】

なお、A/D変換器300においても、図20に示した画素信号（電源Vin）と変換時間Dと同様に、電圧時間変換装置310は、1次の分数関数を有する5種類の入出力特性を持っていることになる。そして、電圧時間変換装置310の信号処理期間を、電圧時間変換装置310の入出力特性に重ね合わせることによって、図20に示したように、アナログ入力信号の電圧値の大きさの範囲によって、5個の領域（領域M1～M5）に分けることができる。

【0338】

従って、A/D変換器300においても、電圧時間変換装置310は、アナログ入力信号の電圧値に応じて、異なる数の時間情報を出力することになり、全ての時間デジタル変換装置230に、デシリアライザ360から電気パルス信号が入力されることにはならない。このため、選択乗算装置370には、全ての時間デジタル変換装置230からデジタル信号が入力されることにはならない。

10

【0339】

選択乗算装置370は、時間デジタル変換装置230__1から時間デジタル変換装置230__5の順に変換したデジタル信号を受け、信号処理期間内に最後に受けた時間デジタル変換装置230からのデジタル信号を選択する。すなわち、選択乗算装置370は、変換前の時間間隔が最長となるデジタル信号を選択する。この変換前の時間間隔が最長となるデジタル信号は、A/D変換の分解能が最も大きいデジタル信号である。

20

【0340】

なお、選択乗算装置370におけるデジタル信号の選択方法は、内視鏡システム30に備えた選択装置23におけるデジタル信号の選択方法と同様である。そして、選択乗算装置370が、アナログ入力信号と変換時間Dとの関係の傾きが大きいデジタル信号を選択することによる効果も同様である。従って、選択乗算装置370におけるデジタル信号の選択方法および効果に関する詳細な説明は省略する。

【0341】

このように、選択乗算装置370が変換前の時間間隔が最長となるデジタル信号を選択することによって、アナログ入力信号と変換時間Dとの関係が良好なデジタル信号を、除算器240に出力することができる。このとき、選択乗算装置370は、選択したデジタル信号に対して、電圧時間変換装置310が時間情報を出力する際の特性（倍率）に応じた通倍処理を行って除算器240に出力する。なお、選択乗算装置370は、一般的な論理回路で容易に構成できるため、具体的な回路構成に関する詳細な説明は省略する。

30

【0342】

除算器240は、選択乗算装置370から入力された通倍処理されたデジタル信号に対して予め定めた処理を行い、A/D変換器300に入力されたアナログ入力信号の大きさを表す最終的な2進のデジタル出力信号を出力する。

【0343】

上記に述べたとおり、A/D変換器300は、電圧時間変換装置310によって、入力されたアナログ入力信号の大きさを表す5種類のOUTパルス信号を生成し、シリアライザ320によって1つのシリアル信号に変換し、E/O変換装置330が光パルス信号に変換して伝送する。つまり、A/D変換器200では、図27に示したように、1種類の時間情報（A/D変換器300においては、第1OUTパルス信号）のみを伝送していたのに対して、A/D変換器300では5種類の時間情報を伝送する。そして、A/D変換器300は、O/E変換装置350が光パルス信号をシリアル信号に変換し、デシリアライザ360が5種類のOUTパルス信号に戻し、時間デジタル変換装置230__1～230__5によって複数のデジタル信号に変換し、選択乗算装置370がアナログ入力信号と変換時間Dとの関係の傾きがより大きいデジタル信号を選択し、除算器240がアナログ入力信号の大きさを表す最終的な2進のデジタル出力信号を出力する。つまり、A/D変換器300では、信号処理期間内で最も傾きが大きい時間情報に応じたデジタル信号を選

40

50

択して最終的なデジタル出力信号を得る。これにより、A/D変換器300では、A/D変換したデジタル出力信号の分解能を大幅に向上させ、A/D変換の変換精度を向上させることができる。

【0344】

上記に述べたとおり、本発明を実施するための形態によれば、内視鏡システムに適用したA/D変換器と同様の考え方のA/D変換器を、内視鏡システム以外の様々なシステムに適用することができる。すなわち、アナログ信号の大きさを時間の長さで表す時間情報に変換し、時間情報をデジタル信号に変換する構成のA/D変換器は、様々なシステムで利用することができる。

【0345】

なお、A/D変換器を備えた一般的なシステムでは、システムの処理速度を高速化するために、A/D変換のスループットの向上が求められることがある。そこで、A/D変換のスループットを向上するための方法として、システム内に複数のA/D変換器を備え、それぞれのA/D変換器が少しずつタイミングをずらしてアナログ信号をサンプリングし、複数のA/D変換器が並列にA/D変換の処理をすることによってA/D変換のスループットを向上させる、インターリーブという手法が一般的に用いられている。しかし、アナログ信号を直接デジタル信号に変換する一般的なA/D変換器では、A/D変換の期間中、連続してアナログ信号をサンプルホールドしておく必要があるため、インターリーブの手法で処理をする場合には、それぞれのA/D変換器毎に異なるサンプルホールド回路を用意する必要がある。しかしながら、複数のサンプルホールド回路の特性を均一にすることは困難であり、サンプルホールド回路の特性の不均一性が、システムとしてのA/D変換の変換精度の悪化させる要因になってしまう。

【0346】

また、本実施形態においてA/D変換器を適用した内視鏡システムのように、アナログ信号の発生源（撮像部11）からA/D変換後のデジタル信号の処理回路（ビデオプロセッサ16）までの位置が離れている場合には、信号線の引き回しが長くなってしまうため、信号を伝送する際のロスが大きくなってしまう。このため、A/D変換器では、A/D変換の精度を重視することから、アナログ信号の発生源に近い位置でA/D変換し、変換したデジタル信号を伝送することによって信号を伝送する際のロスによる影響を低減することが考えられる。しかしながら、A/D変換後のデジタル信号は、周波数が高いことが考えられる。このため、デジタル信号を長い距離伝送すると、EMIや共振などによって、周辺機器に悪影響を及ぼしてしまうという懸念がある。

【0347】

本発明のA/D変換器では、アナログ入力信号を電圧時間変換装置で時間情報に変換し、変換した時間情報を時間デジタル変換装置でデジタル信号に変換している。すなわち、入力されたアナログ入力信号の大きさを、時間幅（時間間隔）に変換した時間情報を電気パルス信号（OUTパルス信号）として伝送している。本発明のA/D変換器では、電圧時間変換装置によるアナログ入力信号の大きさの時間情報への変換を比較的単純な処理で行うことができるため、電圧時間変換装置の処理のスループットを高くすることができ、シリアル処理で実現することができる。これにより、本発明のA/D変換器では、時間デジタル変換装置によるOUTパルス信号のデジタル信号への変換のみを並列に行うインターリーブの手法で処理することができる。また、アナログ入力信号は、電圧時間変換装置が時間情報に変換するときのみ必要であるため、アナログ信号を直接デジタル信号に変換する一般的なA/D変換器を用いてインターリーブの手法で処理する場合のように、複数のサンプルホールド回路を備える必要がなく、サンプルホールド回路の特性の不均一性に起因するA/D変換の変換精度の悪化の問題を回避することができる。

【0348】

また、本発明のA/D変換器では、入力されたアナログ入力信号の大きさを表す時間幅を、OUTパルス信号のエッジのタイミングやパルス幅で表しているため、OUTパルス信号の周波数帯域を低く抑えることができる。このため、本発明のA/D変換器では、O

ＵＴパルス信号を長い距離伝送した場合でも、ＥＭＩや共振などによる周辺機器への悪影響を回避することができる。

【０３４９】

以上、本発明の実施形態について、図面を参照して説明してきたが、具体的な構成はこの実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲においての種々の変更も含まれる。

【符号の説明】

【０３５０】

１，２０，３０・・・内視鏡システム	
２・・・内視鏡スコープ（挿入部，伝達部）	10
３，３２，３３・・・本体部（外部装置）	
４・・・モニタ	
５，５２，５３・・・先端部（挿入部）	
６・・・挿入部（挿入部，伝達部）	
７・・・操作部（伝達部）	
８・・・ユニバーサルコード（伝達部）	
９・・・コネクタ部（伝達部）	
１０，１０__１，１０__２・・・伝達部	
１１・・・撮像部	
１２，１２__１，１２__２・・・時間変換器（時間変換部）	20
１３，１３__１，１３__２・・・送信部（時間変換部，光送信部）	
１４，１４__１，１４__２・・・受信部（時間間隔変換部，光電変換部）	
１５，１５__１，１５__２，１５__３，１５__４，１５__５・・・時間間隔変換装置（時間間隔変換部）	
１６・・・ビデオプロセッサ（画像処理部）	
１７__１，１７__２・・・サンプルホールド回路	
１８０・・・パルス発生器（時間変換部）	
１８__１，１８__２，１８__３，１８__４，１８__５，１８__６，１８__７，１８__８，	
１８__９，１８__１０，１８__１１，１８__１２，１８__１３，１８__１４，１８__１５	
，１８__１６，１８__１７，１８__１８，１８__１９，１８__２０，１８__２１，１８__	30
２２，１８__２３，１８__２４，１８__２５，１８__２６，１８__２７，１８__２８，１	
８__２９，１８__３０，１８__３１，１８__３２，１８__３３，１８__３４，１８__３５	
，１８__３６，１８__３７，１８__３８，１８__３９，１８__４０，１８__４１，１８__	
４２，１８__４３，１８__４４，１８__４５，１８__４６，１８__４７，１８__４８，１	
８__４９，１８__５０・・・反転回路（時間変換部，反転回路）	
１９・・・時間変換器（時間変換部）	
２１・・・送信部（時間変換部，光送信部）	
２２・・・受信部（時間間隔変換部，光電変換部）	
２３・・・選択装置	
１００・・・エッジ検出器（タイミング検出部）	40
１０２__１，１０２__２，１０２__３，１０２__４，１０２__５，１０２__６，１０２__	
７，１０２__８，１０２__９，１０２__１０・・・遅延回路（クロック出力部，遅延回路	
）	
１０３・・・オシレータ（クロック出力部，オシレータ）	
１０４__１，１０４__２，１０４__３，１０４__４・・・ラッチ（カウンタ部）	
１０５__１，１０５__２，１０５__３，１０５__４・・・カウンタ（カウンタ部）	
１０６・・・加算回路	
１０７・・・パラメータ調節回路（パラメータ調節部）	
１０８・・・ＮＯＲ回路（パラメータ調節部）	
１０２__１１，１０２__１２，１０２__１３，１０２__１４，１０２__１５・・・遅延回	50

路（パラメータ調節部，第2の遅延回路）

1 0 3 __ 5 , 1 0 3 __ 6 . . . オシレータ（パラメータ調節部，第2のオシレータ）

1 0 9 . . . 位相比較回路（パラメータ調節部，位相比較回路）

1 1 0 . . . パラメータ設定回路（パラメータ調節部，パラメータ設定回路）

1 1 1 . . . N A N D 回路

1 1 2 __ 1 , 1 1 2 __ 2 , 1 1 2 __ 3 , 1 1 2 __ 4 . . . インバータ回路

1 1 3 __ 1 , 1 1 3 __ 2 . . . P M O S トランジスタ

1 1 3 __ 3 , 1 1 3 __ 4 . . . N M O S トランジスタ

1 5 0 . . . 時間間隔変換装置（時間間隔変換部）

1 1 5 __ 1 , 1 1 5 __ 2 , 1 1 5 __ 3 , 1 1 5 __ 4 , 1 1 5 __ 5 , 1 1 5 __ 6 , 1 1 5 __ 7 , 1 1 5 __ 8 . . . 遅延回路（クロック出力部，遅延回路） 10

1 1 6 __ 1 , 1 1 6 __ 2 , 1 1 6 __ 3 , 1 1 6 __ 4 , 1 1 6 __ 5 , 1 1 6 __ 6 , 1 1 6 __ 7 , 1 1 6 __ 8 . . . オシレータ（クロック出力部，オシレータ）

1 1 7 __ 1 , 1 1 7 __ 2 , 1 1 7 __ 3 , 1 1 7 __ 4 , 1 1 7 __ 5 , 1 1 7 __ 6 , 1 1 7 __ 7 , 1 1 7 __ 8 . . . ラッチ（カウンタ部）

1 1 8 __ 1 , 1 1 8 __ 2 , 1 1 8 __ 3 , 1 1 8 __ 4 , 1 1 8 __ 5 , 1 1 8 __ 6 , 1 1 8 __ 7 , 1 1 8 __ 8 . . . カウンタ（カウンタ部）

1 1 9 . . . 加算回路

1 2 0 . . . パラメータ調節回路（パラメータ調節部）

1 2 1 . . . N O R 回路（パラメータ調節部） 20

1 1 5 __ 9 , 1 1 5 __ 1 0 , 1 1 5 __ 1 1 , 1 1 5 __ 1 2 , 1 1 5 __ 1 3 , 1 1 5 __ 1 4 , 1 1 5 __ 1 5 , 1 1 5 __ 1 6 , 1 1 5 __ 1 7 . . . 遅延回路（パラメータ調節部，第2の遅延回路）

1 1 6 __ 9 , 1 1 6 __ 1 0 , 1 1 6 __ 1 1 , 1 1 6 __ 1 2 , 1 1 6 __ 1 3 , 1 1 6 __ 1 4 , 1 1 6 __ 1 5 , 1 1 6 __ 1 6 , 1 1 6 __ 1 7 . . . オシレータ（パラメータ調節部，第2のオシレータ）

1 2 2 . . . 位相比較回路（パラメータ調節部，位相比較回路）

1 2 3 . . . パラメータ設定回路（パラメータ調節部，パラメータ設定回路）

1 2 4 __ 1 , 1 2 4 __ 2 . . . P M O S トランジスタ

1 2 4 __ 3 , 1 2 4 __ 4 . . . N M O S トランジスタ 30

2 0 0 , 3 0 0 . . . A / D 変換器

2 1 0 , 3 1 0 . . . 電圧時間変換装置（電圧時間変換部，送信部）

2 2 0 . . . 同軸ケーブル（伝達部）

2 3 0 , 2 3 0 __ 1 , 2 3 0 __ 2 , 2 3 0 __ 3 , 2 3 0 __ 4 , 2 3 0 __ 5 . . . 時間デジタル変換装置（時間デジタル変換部，受信部）

2 4 0 . . . 除算器（信号処理部）

2 1 1 . . . パルス発生器（電圧時間変換部）

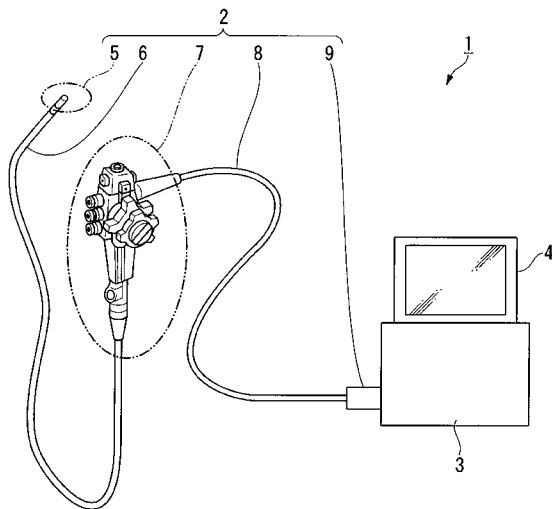
2 1 2 __ 1 , 2 1 2 __ 2 , 2 1 2 __ 3 , 2 1 2 __ 4 , 2 1 2 __ 5 , 2 1 2 __ 6 , 2 1 2 __ 7 , 2 1 2 __ 8 , 2 1 2 __ 9 , 2 1 2 __ 1 0 , 2 1 2 __ 1 1 , 2 1 2 __ 1 2 , 2 1 2 __ 1 3 , 2 1 2 __ 1 4 , 2 1 2 __ 1 5 , 2 1 2 __ 1 6 , 2 1 2 __ 1 7 , 2 1 2 __ 1 8 , 2 1 2 __ 1 9 , 2 1 2 __ 2 0 , 2 1 2 __ 2 1 , 2 1 2 __ 2 2 , 2 1 2 __ 2 3 , 2 1 2 __ 2 4 , 2 1 2 __ 2 5 , 2 1 2 __ 2 6 , 2 1 2 __ 2 7 , 2 1 2 __ 2 8 , 2 1 2 __ 2 9 , 2 1 2 __ 3 0 , 2 1 2 __ 3 1 , 2 1 2 __ 3 2 , 2 1 2 __ 3 3 , 2 1 2 __ 3 4 , 2 1 2 __ 3 5 , 2 1 2 __ 3 6 , 2 1 2 __ 3 7 , 2 1 2 __ 3 8 , 2 1 2 __ 3 9 , 2 1 2 __ 4 0 , 2 1 2 __ 4 1 , 2 1 2 __ 4 2 , 2 1 2 __ 4 3 , 2 1 2 __ 4 4 , 2 1 2 __ 4 5 , 2 1 2 __ 4 6 , 2 1 2 __ 4 7 , 2 1 2 __ 4 8 , 2 1 2 __ 4 9 , 2 1 2 __ 5 0 . . . 反転回路（電圧時間変換部，反転回路） 40

2 1 3 , 2 1 3 __ 1 , 2 1 3 __ 2 , 2 1 3 __ 3 , 2 1 3 __ 4 , 2 1 3 __ 5 . . . エッジ検出回路（電圧時間変換部）

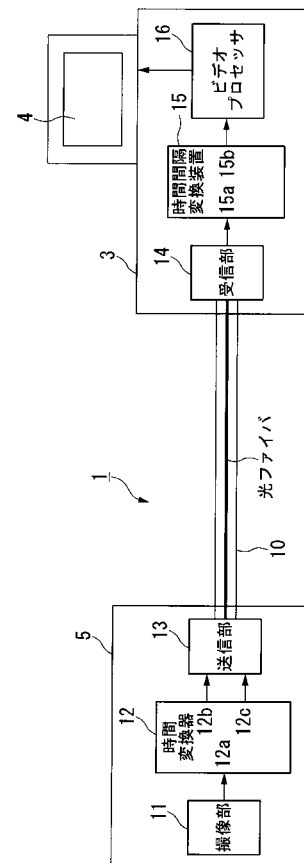
3 2 0 . . . シリアルライザ（電圧時間変換部，送信部） 50

- 330・・・E/O変換装置（電圧時間変換部，送信部）
 340・・・光ファイバ（伝達部）
 350・・・O/E変換装置（時間デジタル変換部，受信部）
 360・・・デシリアライザ（時間デジタル変換部，受信部）
 370・・・選択乗算装置（時間デジタル変換部，受信部）

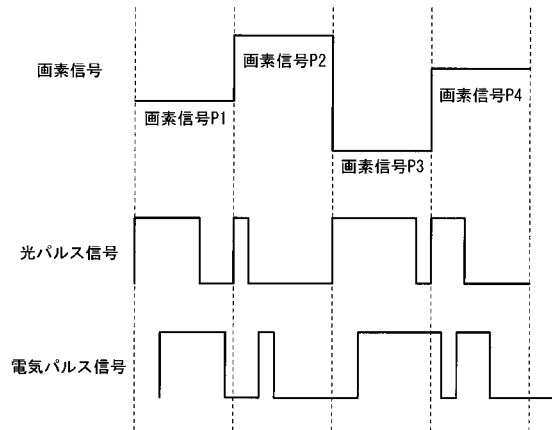
【図1】



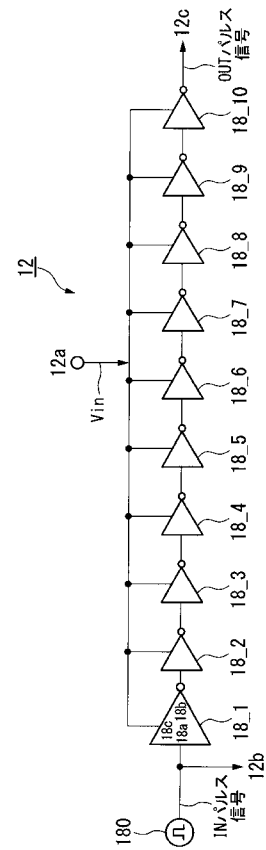
【図2】



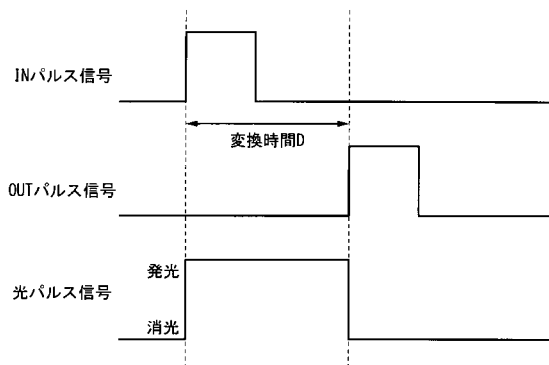
【図 3】



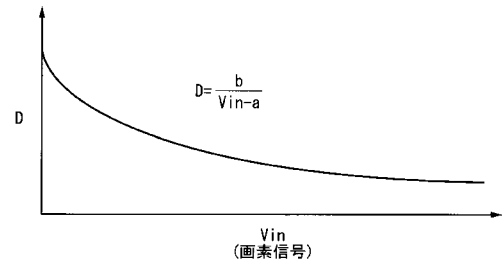
【図 4】



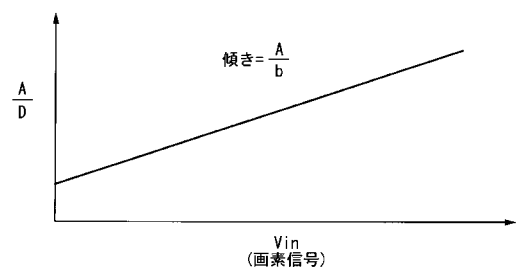
【図 5】



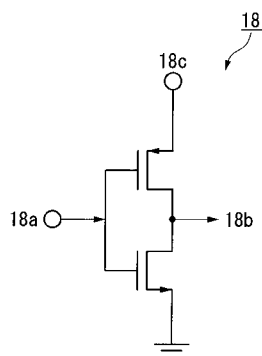
【図 7】



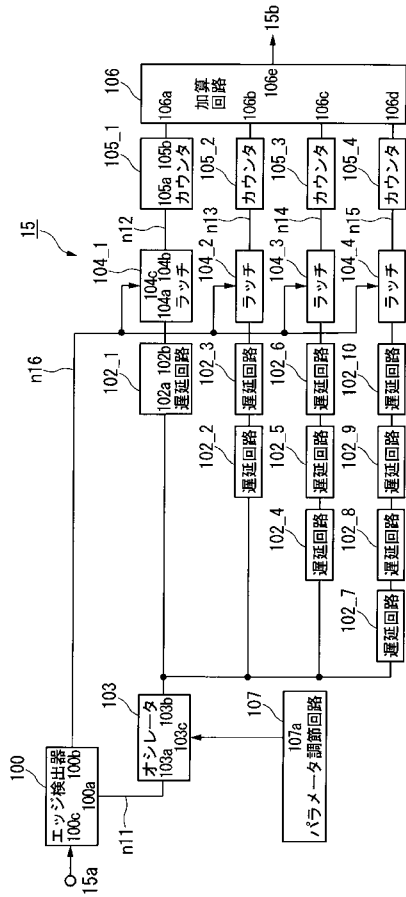
【図 8】



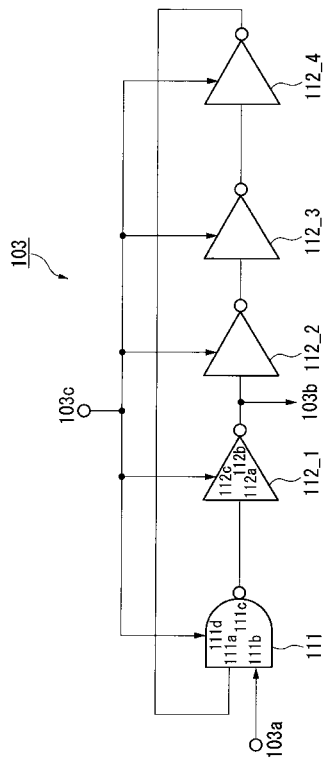
【図 6】



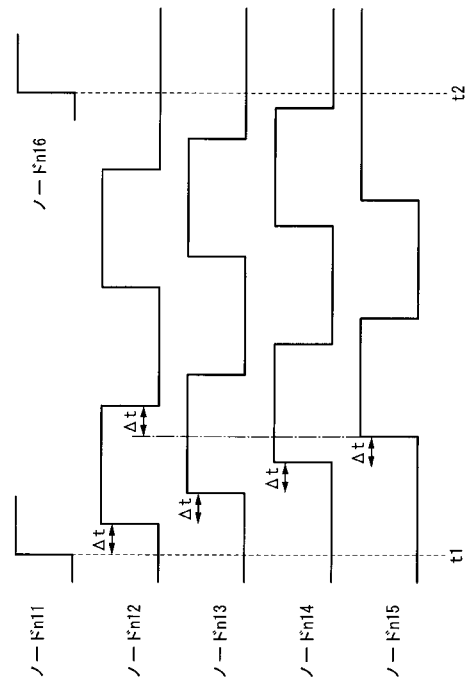
【図 9】



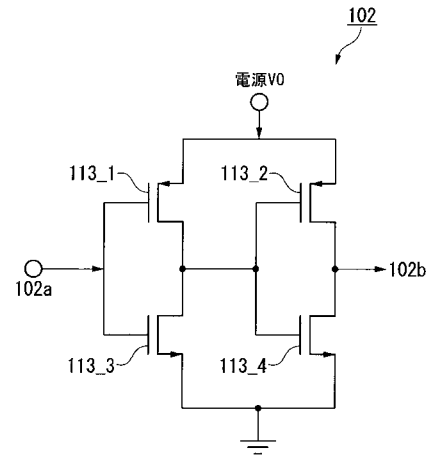
【図 11】



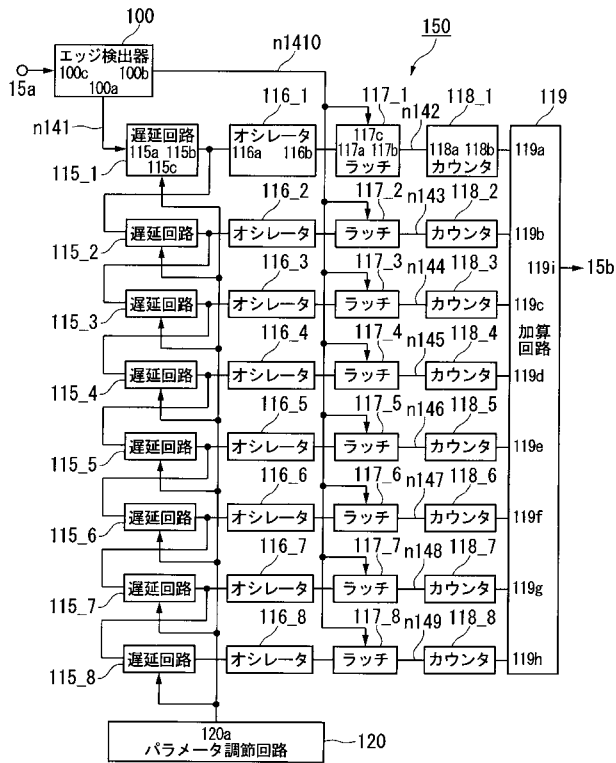
【図 10】



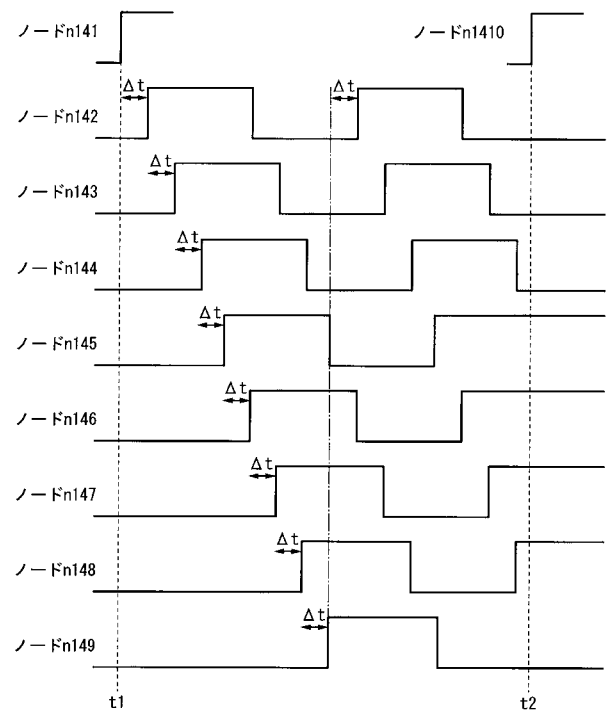
【図 12】



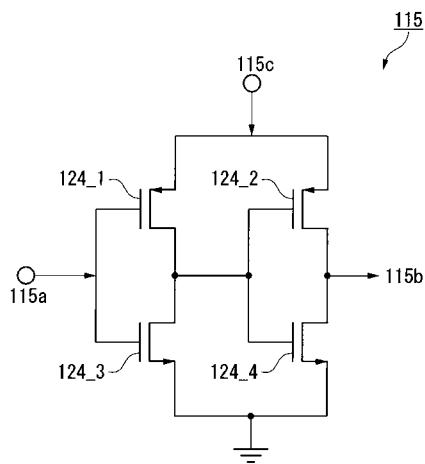
【図 2 1】



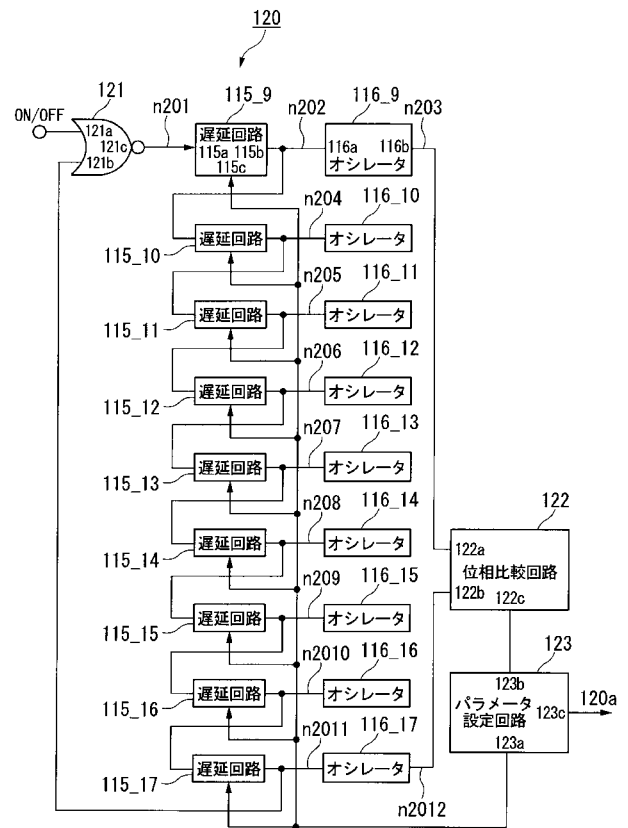
【図 2 2】



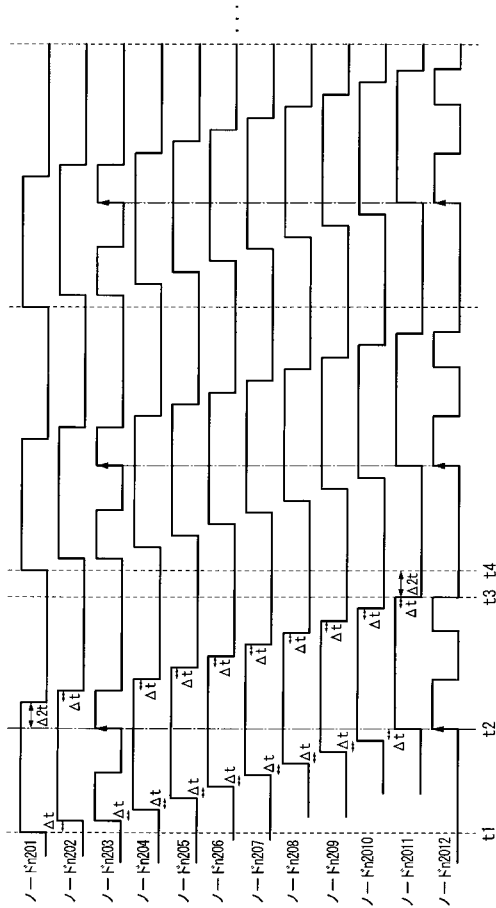
【図 2 3】



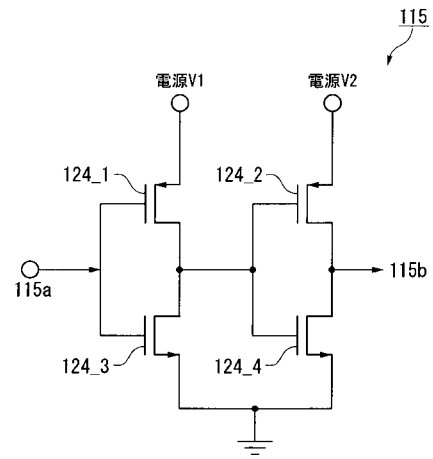
【図 2 4】



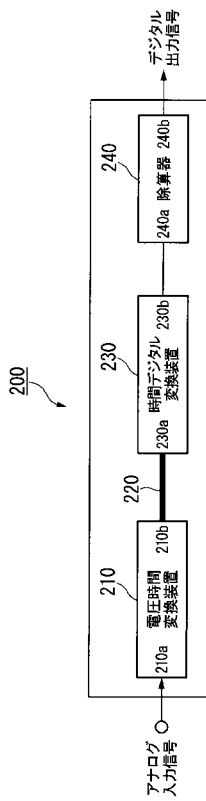
【図 25】



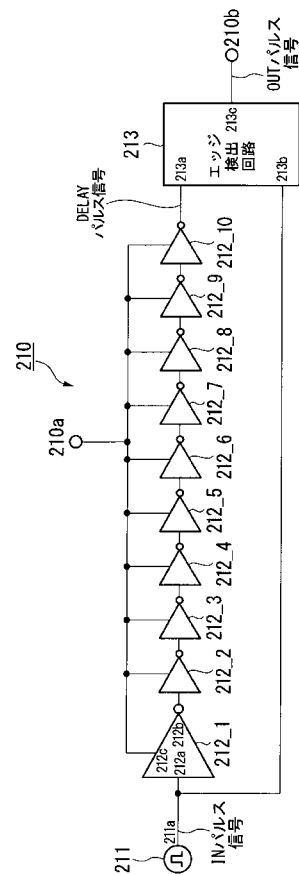
【図 26】



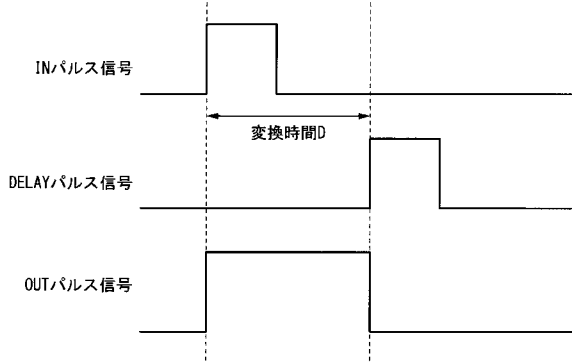
【図 27】



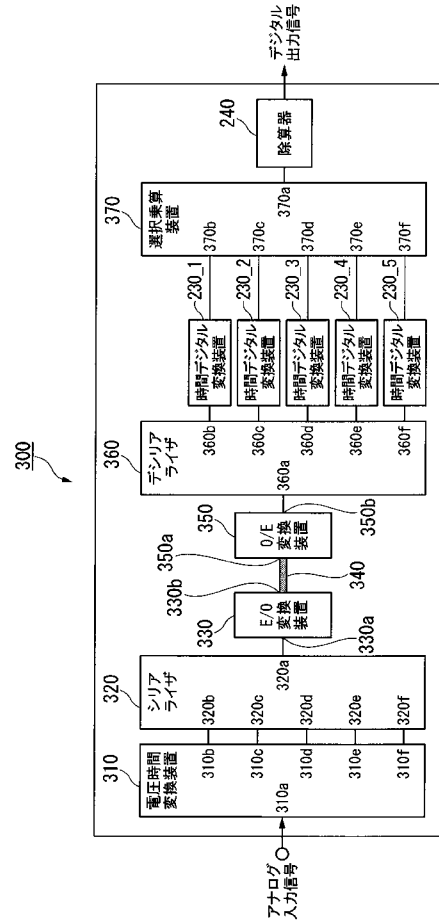
【図 28】



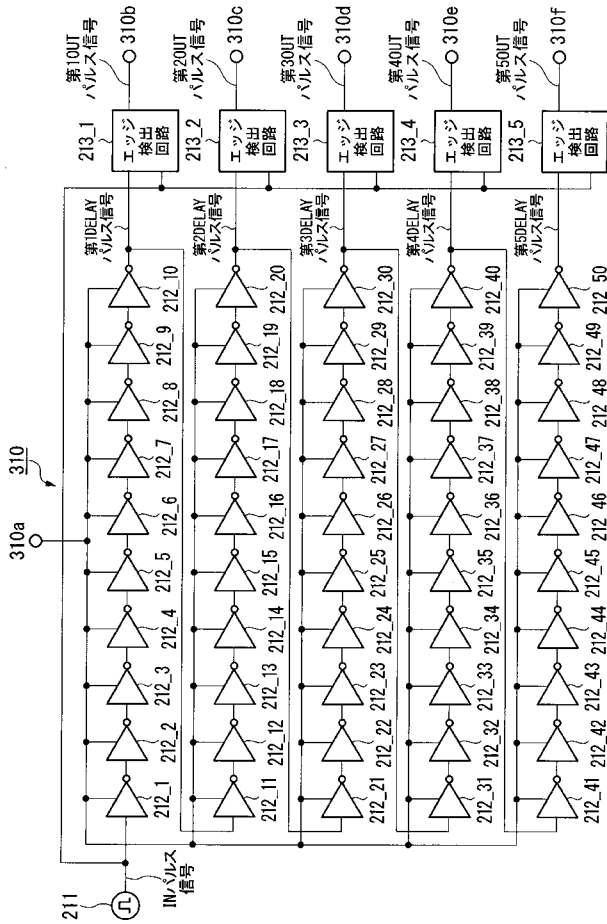
【図 29】



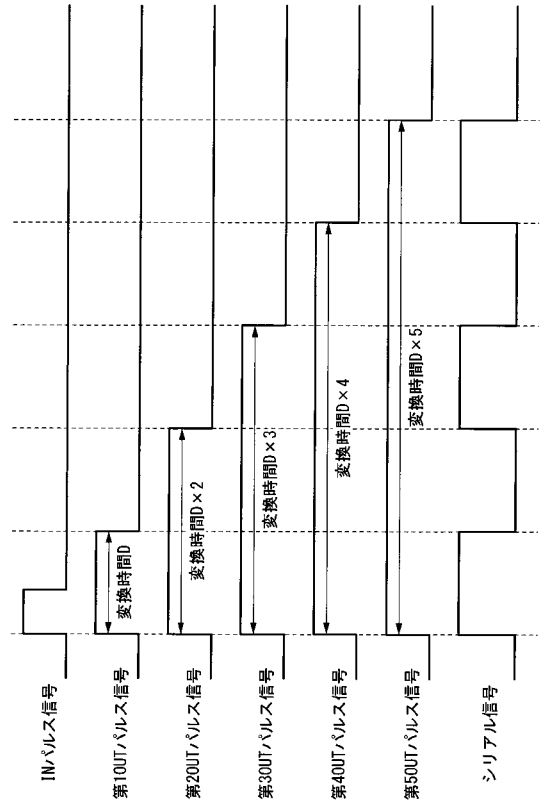
【図 30】



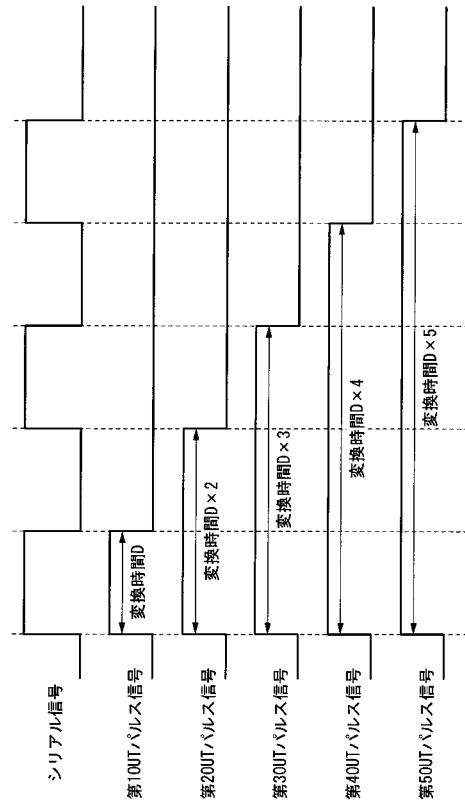
【図 31】



【図 32】



【図 33】



フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 加藤 秀一

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内

F ターム(参考) 2H040 CA23 CA27 DA03 DA21 GA02 GA06 GA10 GA11

4C161 CC06 JJ20 LL02 NN03 UU05

专利名称(译)	内窥镜系统和A / D转换器		
公开(公告)号	JP2013188466A	公开(公告)日	2013-09-26
申请号	JP2013020654	申请日	2013-02-05
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	加藤 秀一		
发明人	加藤 秀一		
IPC分类号	A61B1/04 G02B23/24		
CPC分类号	H04N7/01 H04N5/378 H04N7/183 H04N7/185 H04N7/22 H04N2005/2255		
FI分类号	A61B1/04.372 G02B23/24.B A61B1/00.681 A61B1/045.613 A61B1/05 H03M1/58 H04N5/335.780 H04N5/378 H04N7/18.M		
F-TERM分类号	2H040/CA23 2H040/CA27 2H040/DA03 2H040/DA21 2H040/GA02 2H040/GA06 2H040/GA10 2H040/GA11 4C161/CC06 4C161/JJ20 4C161/LL02 4C161/NN03 4C161/UU05 5C024/BX02 5C024/CY42 5C024/EX54 5C024/HX03 5C024/HX13 5C024/HX23 5C024/HX28 5C024/HX30 5C024/HX32 5C024/HX37 5C024/HX53		
代理人(译)	塔奈澄夫 铃木史朗		
优先权	2012031948 2012-02-16 JP		
其他公开文献	JP6021670B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够在不损害抗噪声效果的情况下传输像素信号并且能够降低内窥镜镜体的远端部分的功耗的内窥镜系统。成像单元，用于顺序地输出对应于该像素的受光量的强度的像素信号，并且将表示在一个宽度的像素信号的强度的时间的时间间隔的时间信息，转换后的时间信息;以及一转换单元12将要发送的时间，插入部被插入到所述测试对象，从时间转换单元，发送单元10发送用于引导被检体的外部，所述发射单元中的时间信息的内部时间间隔转换单元15，接收所导出的时间信息，并将由接收的时间信息表示的像素信号的强度转换为数字信号，并输出该数字信号;以及用于输出图像的图像处理单元16和位于待检查对象外部的设备。 .The

